

Docket No.: 61352-070

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277

Michihito UEDA, et al. : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: February 20, 2004 : Examiner:

For: STOCHASTIC PROCESSOR, DRIVING METHOD THEREOF, AND RECOGNITION
PROCESS DEVICE USING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-212028, filed July 22, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: February 20, 2004

61352-070
UEDA et al.
February 20, '04

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

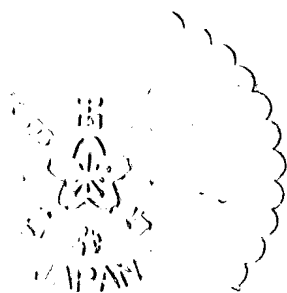
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 2 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 1 2 0 2 8
Application Number:

[ST. 10/C] : [J P 2 0 0 2 - 2 1 2 0 2 8]

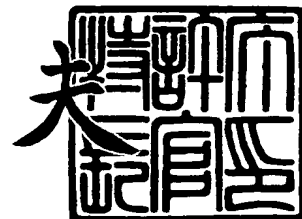
出 願 人 松下電器産業株式会社
Applicant(s):



2 0 0 3 年 8 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 5 7 3 6

【書類名】 特許願

【整理番号】 2030240050

【提出日】 平成14年 7月22日

【あて先】 特許庁長官殿

【国際特許分類】 G08C 13/00
H03K 3/00
H01L 27/00
H01L 27/04
H01L 27/06
H03M 1/34

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 上田 路人

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森田 清之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 確率的演算素子、その駆動方法及びこれを用いた認識処理装置

【特許請求の範囲】

【請求項 1】 アナログまたは少なくとも 3 値以上の多値情報と、変動する値を発生する揺らぎ発生器と、前記アナログまたは少なくとも 3 値以上の多値情報と前記揺らぎ発生器の出力を合成する和算器と、前記和算器の出力値を閾値処理する閾値処理器とを具備する確率的演算素子。

【請求項 2】 アナログまたは少なくとも 3 値以上の多値情報を有する 2 つ以上のデータの値の距離を演算する距離演算器と、変動する値を発生する揺らぎ発生器と、前記距離演算器の出力と前記揺らぎ発生器の出力を合成する和算器と、前記和算器の出力値を 2 値化して出力する閾値処理器とからなる確率的演算回路を具備し、前記閾値処理器のパルス発生数を数えるカウンタとからなる確率的演算素子。

【請求項 3】 アナログまたは少なくとも 3 値以上の多値情報を有する 2 つ以上のデータの値の距離を演算する距離演算器と、変動する値を発生する揺らぎ発生器と、前記距離演算器の出力と前記揺らぎ発生器の出力を合成する和算器と、前記和算器の出力値を 2 値化して出力する閾値処理器とからなる確率的演算回路を具備し、前記閾値処理器の 2 値出力のいずれか一方のパルス幅を積算する積分器と、前記積分器により積分された値を比較する比較器とからなる確率的演算素子。

【請求項 4】 アナログまたは少なくとも 3 値以上の多値情報を有する 2 つ以上のデータと、変動する値を発生する揺らぎ発生器と、前記 2 つ以上のデータの少なくとも 1 つと前記揺らぎ発生器の出力を合成する和算器と、前記 2 つ以上のデータの他のデータと前記和算器の出力の距離を演算する距離演算器と、前記距離演算器の出力値を 2 値化して出力する閾値処理器とからなる確率的演算回路を具備し、前記閾値処理器のパルス発生数を数えるカウンタとからなる確率的演算素子。

【請求項 5】 アナログまたは少なくとも 3 値以上の多値情報を有する 2 つ以上のデータと、変動する値を発生する揺らぎ発生器と、前記 2 つ以上のデータの

少なくとも1つと前記揺らぎ発生器の出力を合成する和算器と、前記2つ以上のデータの他のデータと前記和算器の出力の距離を演算する距離演算器と、前記距離演算器の出力値を2値化して出力する閾値処理器とからなる確率的演算回路を具備し、前記閾値処理器の2値出力のいずれか一方のパルス幅を積算する積分器と、前記積分器により積分された値を比較する比較器とからなる確率的演算素子。

【請求項6】 前記2つ以上のデータは複数の要素からなる複数のベクトルであり、且つこれらの複数のベクトル群はメモリに格納された複数の参照ベクトルとこれとは別に入力される入力ベクトルとからなり、前記入力ベクトルと複数の参照ベクトルの夫々の距離を比較・抽出する確率的演算素子であって、

前記参照ベクトルの1つを構成する複数の要素は複数の前記確率的演算回路に夫々入力され、且つこれらの確率的演算回路の出力は同じベクトル列を構成する確率的演算回路と相互に結合されてベクトル列比較回路を形成した構造を具備する請求項1または請求項3または請求項4または請求項5に記載の確率的演算素子。

【請求項7】 前記和算器は、ソースフォロワ回路のゲート電極に並列に複数のキャパシタを接続した構成を具備する請求項1または請求項3または請求項4または請求項5に記載の確率的演算素子。

【請求項8】 前記ベクトル列比較回路を構成する複数の確率的検算回路の出力は同じ配線へ出力され、且つ配線のこれら出力接続部の間に遅延回路を具備することを特徴とする請求項6に記載の確率的演算素子。

【請求項9】 前記カウンタが、リプルカウンタである請求項1または請求項5の確率的演算素子。

【請求項10】 前記2つ以上のデータは夫々アナログメモリに格納される請求項6に記載の確率的演算素子。

【請求項11】 前記アナログメモリは、ソースフォロワ回路のゲート電極に強誘電体キャパシタを接続した構造を有することを特徴とする請求項10に記載の確率的演算素子。

【請求項12】 ソースフォロワ回路のゲート電極にさらに常誘電体キャパシ

タを接続した構造を有する請求項 11 に記載の確率的演算素子。

【請求項 13】 前記揺らぎ発生器は、カオス揺らぎを発生することを特徴とする請求項 1 または請求項 3 または請求項 4 または請求項 5 に記載の確率的演算素子。

【請求項 14】 前記揺らぎ発生器は、雑音を増幅して得ることを特徴とする請求項 1 または請求項 3 または請求項 4 または請求項 5 に記載の確率的演算素子。

【請求項 15】 前記揺らぎ発生器は、周期的な出力を発生し、且つ前記周期的出力の 1 周期間の出力のヒストグラム値がほぼ同等であることを特徴とする請求項 1 または請求項 3 または請求項 4 または請求項 5 に記載の確率的演算素子。

【請求項 16】 ソースフォロワ回路のゲート電極に並列に複数のキャパシタを接続した構成を具備する減算素子であって、

前記キャパシタが 2 つ接続され且つそのキャパシタンスが等しく C_1 であるとし、ソースフォロワ回路を構成する N 型電界効果型トランジスタ (NMOS) と P 型電界効果型トランジスタ (PMOS) のキャパシタンスを夫々 C_N 、 C_P とし、前記ソースフォロワへ電圧を入力したときに低電圧側の電圧源の電位より電位が上昇を開始する電圧を V_{Low} とするとき、

電圧 V_Z を $V_Z = V_{Low} / [2C_1 / (2C_1 + C_N + C_P)]$ で計算し、且つ前記 2 つ以上のデータはそれぞれ電圧信号であって且つその電圧を V_a と V_b とするとき、 $V_1 = V_Z - V_a$ なる電圧と $V_2 = V_Z + V_b$ なる電圧を前記 2 つのキャパシタのソースフォロワ回路のゲート電極に接続されていない方の電極に夫々印加することにより、 $V_a - V_b$ の演算において $V_a \geq V_b$ の場合の減算を実行する減算素子を具備する距離演算器を設けたことを特徴とする請求項 1 または請求項 3 または請求項 4 または請求項 5 に記載の確率的演算素子。

【請求項 17】 前記 2 つ以上のデータを夫々 V_{in} 、 V_{ref} とするとき、2 つの請求項 16 に記載の減算素子において、一方には $V_a = V_{in}$ 、 $V_b = V_{ref}$ として出力 V_{M1} を得、他方には $V_a = V_{ref}$ 、 $V_b = V_{in}$ として出力 V_{M2} を得、且つ電圧 V_{M1} と V_{M2} を和算器へ入力することにより、 V_{in} と V_{ref} の差の絶対値を演算する距離演算器を具備することを特徴とする請求項 1 または請求項 3 または請求項 4 または請求項 5 に記

載の確率的演算素子。

【請求項 18】 前記閾値処理器はCMOSインバータであることを特徴とする請求項 1 または請求項 3 または請求項 4 または請求項 5 に記載の確率的演算素子。

【請求項 19】 請求項 7 に記載の前記和算器のソースフォロワ回路及びまたは請求項 16 に記載の前記減算素子のソースフォロワ回路のゲート電極が、スイッチ素子を介して接地電位へ接続されている請求項 7 または請求項 16 に記載の確率的演算素子。

【請求項 20】 前記閾値処理器の直前にスイッチ素子を設けた請求項 1 または請求項 3 または請求項 4 または請求項 5 に記載の確率的演算素子。

【請求項 21】 前記閾値処理器の電源供給配線の途中に電流検出器を設けた請求項 18 に記載の確率的演算素子。

【請求項 22】 前記電流検出器により検出される電流が小さい場合に、前記揺らぎ発生器の電圧振幅を増加させる機能を有する揺らぎ発生器制御回路を具備した請求項 21 に記載の確率的演算素子。

【請求項 23】 前記電流検出器により検出される電流が小さい場合に、前記揺らぎ発生器の電圧に正または負のバイアス電圧を付加し、前記閾値処理器の閾値側に平均電圧を近づける機能を有する揺らぎ発生器制御回路を具備した請求項 21 に記載の確率的演算素子。

【請求項 24】 請求項 6 に記載の確率的演算素子の前記ベクトル列比較回路の列数が、複数の前記参照ベクトルのベクトル数より少ない場合の請求項 6 に記載の確率的演算素子の駆動方法であって、

前記入力ベクトルとの距離が近い前記参照ベクトルを k 個 (k は自然数) 抽出する動作を実行するとき、確率的演算素子のベクトル列数以下の数だけ前記参照ベクトルからデータを格納し、これらから距離が近い上位 k 個以上のデータを抽出し、次にこれら抽出されたベクトル列以外の列に前記参照ベクトルから残りのデータの少なくとも一部を格納し、再度距離が近いものを抽出するという動作を繰り返すことを特徴とする請求項 6 に記載の確率的演算素子の駆動方法。

【請求項 25】 入力信号の特徴を抽出する特徴抽出回路と、過去に抽出された特徴ベクトル群を格納したメモリと、請求項 1 または請求項 3 または請求項 4

または請求項 5 に記載の確率的演算素子を用いた認識処理装置。

【請求項 26】 前記入力信号は音声信号であって、前記音声信号の特徴から音声認識を実行する請求項 25 に記載の認識処理装置。

【請求項 27】 前記特徴ベクトル群は、音声信号の特徴量が時系列的に配置された複数のベクトル列からなり、且つ人間にとって同じと判断される音声信号に対して前記特徴量は時系列方向にずれたものを複数含むことを特徴とする請求項 26 に記載の認識処理装置。

【請求項 28】 前記入力信号は画像信号であって、前記画像信号の特徴から画像認識を実行する請求項 25 に記載の認識処理装置。

【請求項 29】 前記特徴ベクトル群は、人間にとって同じものと判断されるが、数値的には異なる特徴ベクトルを複数含むことを特徴とする請求項 28 に記載の認識処理装置。

【請求項 30】 前記入力信号は、人間の活動情報を数値化した特徴ベクトルであって、且つ前記メモリには過去の活動情報の特徴ベクトルが格納され、前記入力信号に近い過去の活動情報ベクトルを抽出し、その時の行動を出力する請求項 25 に記載の認識処理装置。

【請求項 31】 前記出力された行動に対する反応が好意的な場合には、該当する特徴ベクトルが選択されやすくなるように特徴ベクトルの値の少なくとも一部を変更し、逆に感想が否定的な場合には該当する特徴ベクトルが選択されにくくなるように特徴ベクトルの値の少なくとも一部を変更する請求項 30 に記載の認識処理装置。

【請求項 32】 前記活動情報は、電気機器の操作履歴、赤外線センサ出力、室温センサ出力、湿度センサ出力、体温センサ出力、脳波センサ出力、脈拍センサ出力、視線センサ出力、発汗センサ出力、筋電位センサ出力、日時情報、曜日情報、及び請求項 26 に記載された認識処理装置からの出力や請求項 28 に記載された認識処理装置からの出力の群からなる情報を含むことを特徴とする請求項 30 に記載の認識処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、新規動作原理に基づく確率的演算素子に関し、特に認識処理で必須の演算であるベクトルマッチングを高速に演算することができる確率的演算素子と、これを用いた認識処理装置を提供するものである。

【0002】**【従来の技術】**

近年のパーソナルコンピュータ（PC）の普及に見られるように、半導体素子も家庭内での使用も大幅に普及して、単なる数値演算のみならず、インターネット、メールや画像処理など、個人的な用途での使用分野が増加しつつある。

【0003】

しかしながら、これほど高速に演算できるようになったPCにおいても、全ての演算に対して十分な速度が得られているわけではない。例えば、人の発する声や言語を認識したり、カメラに写った人が誰であることを認識するといった処理は、膨大な量の演算を行う必要があるため、実時間の処理は困難である。

【0004】

このような認識処理の基本は、記憶されている音声や顔などの情報をベクトル化して記憶しておき、入力情報を同様にベクトル化してこれらの類似を検出し、どれに最も近いかという演算を行うことである。このようなベクトル比較処理は、連想メモリや、ベクトル量子化、動き予測等のパターン認識や、データ圧縮等の幅広い情報処理に利用され得る基本的な処理である。

【0005】

このようなベクトル比較はいずれの用途においても膨大な演算量であり、また従来のPCに代表されるノイマン型コンピュータでは、その原理として全てのベクトル比較演算を一旦終了しないと、どれが一番近いかを抽出できず、結果として非常に時間を要してしまう。

【0006】

一方、人間はこれらの認識処理を何の苦もなく直ちに行うことができる。このことから、従来のコンピュータと異なる処理原理のコンピュータの創出により、これらの処理を高速に実行し、従来コンピュータを補完する必要があると考えら

れる。

【0007】

このような新規な演算原理に基づく素子の例として、特開 2001-313386 に記載の「情報処理構造体」がある。

【0008】

図 40 には従来技術例の素子の構造を示している。従来技術例の素子は、微細な MOSFET 211 のゲート電極 212 の直上に、ナノメートルスケールの大きさの複数個の量子ドット 213 を形成し、各量子ドットとゲート電極との間に電子が直接トンネルできるエネルギー障壁を構成したものである。

【0009】

図 41 には従来の素子の演算原理を等価回路で示したものであるが、量子ドットを挟むように入力パターンと参照パターンの電圧を入力した時、情報電極で決定される電位によって、電子が中央付近にとどまるか、または移動するかが確率的に生じ、これにより MOSFET のドレイン電流が変化することとなる。

【0010】

ドレイン電流を観測しつづけることで、確率が時間とともに向上するため、厳密演算結果に近い解を得ることができるものである。

【0011】

【発明が解決しようとする課題】

しかしながら、上記従来技術の確率的演算素子は、第 1 に量子ドットを用いるため、まず量子ドットの製造プロセスの確立を待たなければならず、現状の半導体プロセス技術以外の技術を必要とするという点で煩雑である。また、ベクトルの比較においても、いわゆる 2 値情報に対する比較であったため、ハミング距離を求めるには有効ではあるが、実際の情報処理で頻繁に用いられるマンハッタン距離（差の絶対値）などを演算するのが難しいという課題を有している。

【0012】

【課題を解決するための手段】

以上の課題を解決するため、本発明の確率的演算素子は、既存の半導体プロセス技術によって製造が可能で、且つ、確率的に最も近いベクトルを高速に抽出で

きる素子を提供するものである。またこのような処理をチップ上で超並列的に実行することにより、従来のノイマン・コンピュータよりも遥かに高速にベクトル抽出を実行することができるものである。

【0013】

これを実現するため、本発明の第1の発明の確率的演算素子は、アナログまたは少なくとも3値以上の多値情報であるデータと、変動する値を発生する揺らぎ発生器と、距離演算器の出力と揺らぎ発生器の出力を重畳する和算器と、和算器の出力値を閾値処理して出力する閾値処理器とからなり、前記データの大小によって閾値処理器が発生する幾つかの信号レベルのパルス数が夫々変化することによりデータの大小比較結果を超並列的に取得することが可能となる。

【0014】

また、本発明の第2の発明の確率的演算素子は、アナログまたは少なくとも3値以上の多値情報を有する2つ以上のデータの値の距離を演算する距離演算器と、変動する値を発生する揺らぎ発生器と、距離演算器の出力と揺らぎ発生器の出力を合成する和算器と、和算器の出力値を2値化して出力する閾値処理器とからなる確率的演算回路と、閾値処理器のパルス発生数を数えるカウンタとを具備し、2つ以上のデータが近いほど閾値処理器が発生するパルス数が多くなる（または少なくなる）ため、素子上に比較するデータを多く保持させることで、超並列的に高速演算を実行することが可能である。

【0015】

また本発明の第3の発明の確率的演算素子は、閾値処理器が発するパルスの数ではなく、その幅情報で近似度を取得するため、パルスの長さに相当する値を積算する積分器を設けることで、より厳密な大小比較が可能となる。

【0016】

また本発明の第4の発明の確率的演算素子は、複数の確率的演算回路の出力が同じ配線へ出力され、且つ配線のこれら出力接続部の間に遅延回路を具備することにより、ベクトル列間の距離がカウンタへのパルス列の数として伝達でき、極めて効率的な動作を実現できる確率的演算素子を提供できるものである。

【0017】

また本発明の第5の発明の確率的演算素子は、第1の発明の確率的演算素子において、カウンタをDフリップフロップなどからなる非同期式のリプルカウンタとすることで、非常に簡便にパルス発生数をカウントできるだけでなく、リプルカウンタの上位ビットをフラグとすることで、先にフラグが立ったベクトル列を容易に特定することが可能である。

【0018】

また本発明の第6の発明の確率的演算素子は、正確な演算が実行できる減算素子を提供するものであり、ソースフォロワ回路のゲート電極に並列に2つのキャパシタを接続した構成の減算素子において、2つのキャパシタのキャパシタンスが等しく C_1 であるとし、ソースフォロワ回路を構成するN型電界効果型トランジスタ (NMOS) とP型電界効果型トランジスタ (PMOS) のキャパシタンスを夫々 C_N 、 C_P とし、ソースフォロワへ電圧を入力したときに低電圧側の電圧源の電位より電位が上昇を開始する電圧を V_{Low} とすると、電圧 V_Z を $V_Z = V_{Low} / [2C_1 / (2C_1 + C_N + C_P)]$ で計算し、且つ2つ以上のデータはそれぞれ電圧信号であって且つその電圧を V_a と V_b とすると、 $V_1 = V_Z - V_a$ なる電圧と $V_2 = V_Z + V_b$ なる電圧を2つのキャパシタのソースフォロワ回路のゲート電極に接続されていない方の電極に夫々印加することにより、 $V_a - V_b$ の演算において $V_a \geq V_b$ の場合の減算をを実行する減算素子を具備する確率的演算素子を提供するものである。

【0019】

また本発明の第7の発明の確率的演算素子は、第6の発明の減算素子を2つ使い、2つ以上のデータを夫々 V_{in} 、 V_{ref} とすると、一方には $V_a = V_{in}$ 、 $V_b = V_{ref}$ として出力 V_{M1} を得、他方には $V_a = V_{ref}$ 、 $V_b = V_{in}$ として出力 V_{M2} を得、且つ電圧 V_{M1} と V_{M2} を和算器へ入力することにより、 V_{in} と V_{ref} の差の絶対値を演算する距離演算器を提供する確率的演算素子である。

【0020】

また本発明の第8の発明の確率的演算素子は、閾値処理器の電源供給配線の途中に電流検出器を設けることで、パルス発生が生じているかをチェックし、その信号に応じて揺らぎの振幅の大きさやバイアス電圧を変更し、効率的且つ高精度に確率演算を実行できる確率的演算素子である。

【0021】

また本発明の第9の発明の確率的演算素子は、確率的演算素子のベクトルを比較する回路の列数が参照ベクトルのベクトル数より少ない場合の駆動方法を提供するもので、入力ベクトルとの距離が近い参照ベクトルをk個（kは自然数）抽出する動作を実行するとき、ベクトル列数だけ参照ベクトルからデータを格納し、これらから距離が近い上位少なくともk個のデータを抽出し、次にこれら抽出されたベクトル列以外の列に参照ベクトルから残りのデータの少なくとも一部を格納し、再度これらから距離が近いものを抽出するという動作を繰り返すことで、素子数の有限性を補完できる確率的演算素子の駆動方法を提供するものである。

【0022】

また本発明の第10の発明の認識処理装置は、上記の第1～9の発明の確率的演算素子と、入力信号の特徴を抽出する特徴抽出回路と、過去に抽出された特徴ベクトル群を格納したメモリとからなる認識処理装置であり、非常に多くのベクトル列の中から高速に適合ベクトルを抽出することにより、音声認識、画像認識、さらには人間の行動認識などを高速に実行できる認識処理装置を提供するものである。

【0023】**【発明の実施の形態】****（実施形態1）**

以下、本発明の第1の実施形態の確率的演算素子について、図面を用いながら説明する。

【0024】

本発明の確率的演算素子は、入力ベクトルと参照ベクトルの2つのベクトルの対応する要素間の距離に応じて発生するパルス数またはパルス幅を変化できるベクトル比較回路を基本セルとし、同じベクトル列について、基本セルからのパルス出力をカウントすることで、ベクトル間の距離を超並列的に高速に演算する素子である。

【0025】

特に本実施形態においては、基本セルからのパルス出力を得るために、例えばカオスなどに見られるランダムな信号を重畳して動作を得る場合について説明する。なお、本実施形態 1 では、信号として電圧を用いる場合について説明する。また、ベクトル間の違いである距離については、マンハッタン距離の場合について説明する。すなわち、ベクトル要素の差の絶対値を距離として演算する場合について説明するものとする。

【0026】

図 1 は本実施の形態 1 の確率的演算素子の構成を説明する図である。図 1 において、1 は確率的演算素子である。3 a、3 b はベクトル列比較回路である。ベクトル列比較回路は図示した以外にも複数列、例えば 1 0 0 0 列設けられているが、図ではその一部を示している。5 a、5 b……5 n は確率的演算回路である。確率的演算回路も図示した以外にも設けられているが、図では簡単のため 5 a～5 n の 14 個の場合について示している。すなわち、本実施形態 1 ではベクトル要素数が 14 の場合について説明する。また、確率的演算回路 5 はベクトル列比較回路 3 a 以外にも同様に設けられている。7 a、7 b……7 m は遅延回路であり、例えば複数の連続したインバータからなる。9 a、9 b はスイッチである。11 a、11 b はカウンタであり、入力されたパルス数をカウントする。13 は入力電圧出力器であり、入力信号を電圧に変換し、ベクトルの要素数、本実施形態では 14 個の電圧を出力する。なお、本実施形態 1 では入力電圧出力器 13 は、入力信号を後述する式で計算して出力するようにしている。入力電圧出力器 13 からの出力は、確率的演算回路 3 の同一要素番号に同様に入力される。15 は揺らぎ発生器である。揺らぎ発生器 15 は電圧の揺らぎを出力する機能を有し、ベクトル列比較回路 3 の全列の全要素に出力する。17 はフラグ検出器である。19 はカウント数取得器である。

【0027】

確率的演算回路 5 a の出力は遅延回路 7 a へと入力される。同様に確率的演算回路 5 b……5 m の出力も夫々、遅延回路 7 b……7 m へと入力される。これらの出力パルスは、遅延回路により、夫々重複しないように調整されている。すなわち、スイッチ素子 9 a が ON 状態の時、ある揺らぎ電圧がベクトル列比較回路

3 a へ入力されたときに、例えば、全ての確率的演算回路 5 a ~ 5 n がパルスを発した場合でも、カウンタ 11 a には所定の間隔でパルス列が、本実施形態 1 の場合 14 個入力することになる。

【0028】

カウンタ 11 はこのパルス数をカウントする。本実施形態 1 では、例えば後述するような D フリップ・フロップを用いた非同期式リプルカウンタを用いている。例えばその最上位ビットをフラグ検出器 17 へ出力する構成としているので、最初に所定のカウント数に達したベクトル列を検出することができるのである。

【0029】

一方、精度よりもむしろ解の出力までの時間が短いことが要求される場合、カウント数取得器により各ベクトル列比較回路 3 の出力を取得し、これらのカウント数を図示しない比較器で比較すればよい。確率的演算回路 5 に比してベクトル列比較回路 3 の数は圧倒的に少ないため、このような比較は従来のコンピュータでも十分高速に実行することができる。

【0030】

以下、本発明の確率的演算素子を構成する個別素子の構成例及び動作を説明した後、本発明の確率的演算素子の動作を説明する。

【0031】

図 2 には揺らぎ発生器の構成例を示している。図 2 において、21 は演算器である。23 は遅延回路である。このような揺らぎを発生する回路は、近年、乱数発生回路やカオス発生回路などで広く研究がなされており、例えば I E E E T r a n s a c t i o n s o n C i r c u i t s a n d S y s t e m s - I : F u n d a m e n t a l t h e o r y a n d a p p l i c a t i o n s , V o l . 47 , N o . 11 , N o v e m b e r 2000 , p p . 1652-1657 , " C M O S c i r c u i t s g e n e r a t i n g a r b i t r a r y c h a o s b y u s i n g p u l s e w i d t h m o d u l a t i o n t e c h n i q u e s " に記載の M o r i e らのカオス発生回路などを用いることができる。

【0032】

カオスにはいくつかの種類が報告されているが、図2にはロジスティックカオスの発生例を示している。図2の演算器21は入力信号 $x(t)$ に対して次の式で演算を実行する。

【0033】

【数1】

$$x(t+1) = a \cdot x(t) \cdot [1 - x(t)] \quad \dots (1)$$

【0034】

ここに a は定数であり、例えば 3.96 などである。ある時点での入力電圧 V を $x(t)$ とし、これを式(1)に従い演算した結果を出力電圧 $x(t+1)$ とする。さらにこの $x(t+1)$ を遅延回路により次のステップの入力とすることで、カオス揺らぎの電圧を発生することができるものである。

【0035】

なお、図示しないが、このようなカオス発生回路を用いずとも、例えば半導体基板に生ずる熱雑音を増幅しても同様にランダムな電圧を得ることができる。

【0036】

図3にはカウンタ11aの例を示した。図3において25はDフリップフロップである。本実施の形態では、いわゆるDフリップ・フロップを用いた、非同期式カウンタにより構成している。電圧パルス V_{pul} がカウンタ11に入力されると、2進的に D_0, D_1, \dots, D_n の $H i g h$ 出力が切り替わっていく。ここで、例えば最大カウント数に達した列を検出したいのであれば、 D_n の出力をフラグ検出器17へ接続しておき、一番最初に D_n が $H I G H$ となった列を検出すればよいことになる。またベクトル列の中から近いものを複数抽出したい場合には、フラグ検出器17において、 $H i g h$ となったフラグ数を常時カウントしておけばよい。

【0037】

また最上位ビットをフラグとせずにさらに下位ビットの出力を検出すれば、確率的にフラグはより早く $H i g h$ となるので、演算速度を優先することができる。

【0038】

なお、前述のように、このようなフラグ検出を用いずとも、カウント数そのものをカウント数取得器 19 により取得し図示しない比較器で比較してもよい。

【0039】

図 4 には、本実施形態 1 の確率的演算回路 5 a の構造をより詳細に示している。なお、図 4 において図 1 と同一物には同一番号を付記して説明を省略する。図 4 において、41 はデータ記憶部であり、図示しない配線によりデータを書き込まれている。43 は距離演算器であり、入力信号データとデータ記憶部 41 に記憶されたデータの差の絶対値に比例した電圧を出力する。45 は和算器であり、距離演算器 43 の出力と揺らぎ発生器 15 の出力信号の和の大きさに比例した電圧を出力、すなわち重畳電圧を出力する。47 は閾値処理器であり、和算器 45 の出力に対し閾値処理を実行する。閾値処理器 47 の出力は図 1 に示すように、遅延回路 7 やスイッチ 9 へ向けて出力される。

【0040】

図 5 にはデータ記憶部 41 の構成例を示している。図 5 において、51 はデジタルデータであり、例えば DRAM やフラッシュメモリ、さらにはハードディスクなどの外部記憶装置などに格納されている。53 は演算・D/A 変換器である。55 はスイッチである。57 はアナログメモリである。

【0041】

本実施形態のデータ記憶部 41 は、デジタルデータ 51 を演算・D/A 変換器 53 において後述する簡単な演算をデジタルで実行しこれをアナログ値（本実施形態の場合、電圧）に変換し、そのアナログデータをスイッチ 55 によりパルス的にアナログメモリ 57 へ入力することで、アナログデータを記憶している。ここでアナログメモリ 57 はリセット信号を入力する手段も具備している。

【0042】

図 6 には本実施形態 1 のアナログメモリセルアレイの構成の一例を示した。なお同図において図 5 と同一物には同一番号を附記し説明を省略する。図 6 において、59 (1)、(2)・・・は配線である。

【0043】

図 6 のメモリセルアレイは図 5 のアナログメモリをマトリクス配置した構成を

有し、ベクトル列数が i 、ベクトル要素数が j の場合について示している。なお、実際にはより多くの i 、 j から構成されているが、図にはその一部、 4×4 の部分のみを示している。またリセットを行う配線についても省略して図示している。

【0044】

このメモリセルアレイは、配線 59 のいずれか一つを例えば High としてそのベクトル列のスイッチ 55 を On 状態として、デジタルデータ 51 を演算・D/A 変換器 53 によって電圧値に変換することで、アナログメモリ 57 へ並列的にアナログデータを書き込むことができる。このような動作を繰り返すことでアナログデータを高速に書き込むことができるようにしている。

【0045】

このようなマトリクス書込は、後述する本実施形態 1 のアナログメモリの例が、不揮発性を有することにより可能となるものである。

【0046】

なお、図 6 では、 i 方向がベクトル列数方向、 j 方向がベクトル要素数方向としたが、これと 90 度回転した構成としても、同様の動作が得られることは言うまでもない。

【0047】

図 7 には本実施形態のアナログメモリ 57 の第 1 の構成例を示している。図 7 において、61 はアナログメモリである。63 はソースフォロワ回路である。65 は強誘電体キャパシタである。図 8 にはソースフォロワ回路 63 の入出力特性を示したが、電源電圧の範囲内である範囲で入力電圧に比例した電圧 V_{out1} を出力する特性を有する。

【0048】

図 7 のアナログメモリ 61 の動作を説明する。

【0049】

強誘電体キャパシタ 65 への書込み電圧 V_W により、強誘電体に分極が生じ、これによりのフローティング電極の電位 V_{FG} が変化する。 V_{FG} の電位によりソースフォロワ回路 63 はその特性に従って電圧出力 V_{out1} を出力する。ここで強誘

電体の残留分極は不揮発に保持できるため、先の演算・D/A変換器53の出力を適宜切り替えて書込み動作を行うことができ、演算・D/A変換器53の占有面積や書込みのための配線を大幅に低減することができるのである。

【0050】

強誘電体の分極値はVWの大きさや履歴により多値を得ることができ、アナログメモリとして機能する。特にこの構造は、2トランジスタ・1キャパシタの構成であるため、セル占有面積が小さい点で有利である。

【0051】

図9には本実施形態のアナログメモリの第2の構成例を示している。同図において図7と同一物には同一番号を附記し説明を省略する。図9において、71はアナログメモリである。73は常誘電体キャパシタである。この構成のアナログメモリ71は、強誘電体キャパシタ65の上部電極N1と常誘電体キャパシタ73の上部電極N2との間に電圧を印加することで、同様に V_{FG} の値を変化させアナログメモリとして機能する。一般に強誘電体は比誘電率が大きいため、図7のようなキャパシタの直列構造では、強誘電体側に電圧が分配されにくいため、ソースフォロワ63を構成するMOSトランジスタを大きくする必要がある。図9の構造では、強誘電体キャパシタ65と常誘電体キャパシタ73のキャパシタンスのバランスで V_{FG} を決定できる点で、MOSのサイズを周辺回路と同等にできるため、製造がしやすいという利点を有する。特に常誘電体キャパシタ73も高誘電率の材料が望ましく、例えばチタン酸バリウム・ストロンチウム(BST)などを用いれば、強誘電体キャパシタと同等のサイズのキャパシタにすることができる。

【0052】

図10には強誘電体キャパシタのヒステリシス特性を示している。図の横軸は、図7のアナログメモリの場合には、 $V_w - V_{FG}$ で計算される、強誘電体への分配電圧を示している。また、図9の構造のアナログメモリの場合には、書込電圧VWを印加したときに強誘電体へ分配される電圧を示している。

【0053】

図10に示すように、本実施形態では、特に、リセットパルス V_{res} を入力し

、一方に飽和させてから書込み電圧 V_w を印加する方式とすることで、書込み電圧に良好に対応した V_{FG} を得ることが可能となる。すなわち V_{res} を印加後に V_{w1} を印加したときには残留分極は P_{r1} であり、 V_{res} を印加後に V_{w2} を印加したときには残留分極は P_{r2} となる。この残留分極値により V_{FG} が決定され、ソースフォロワ回路 63 の特性により、アナログ電圧 V_{out1} を出力することができる。このように、本実施形態に用いたアナログメモリは、少ない素子数で不揮発という特性により、本発明の確率的演算素子には極めて有効なアナログメモリである。

【0054】

図 11 には、本実施形態の距離演算器 43 を構成する減算素子の回路構成の一例を示している。図 11 において 72 は減算素子である。73 はソースフォロワ回路である。75 は第 1 のキャパシタであり、電圧 V_1 が入力される。77 は第 2 のキャパシタであり電圧 V_2 が入力される。電圧 V_1 、 V_2 の定義については後述する。

【0055】

減算素子 72 の動作を説明する。ソースフォロワ 73 のゲート電極の電位を V_{FG2} とし、第 1 のキャパシタのキャパシタンスを C_1 、第 2 のキャパシタのキャパシタンスを C_2 とし、PMOS 及び NMOS のキャパシタンスを夫々 C_P 、 C_N とすると、電荷の保存則より次式が成立する。

【0056】

【数 2】

$$Q = C_1(V_1 - V_{FG2}) + C_2(V_2 - V_{FG2}) = V_{FG2}(C_P + C_N) \quad \dots (2)$$

【0057】

ここに $C_1 = C_2$ とし、 α を次式で定義する。

【0058】

【数 3】

$$\alpha = \frac{C_1}{2C_1 + C_N + C_P} = \frac{1}{2 + \left[\frac{C_N + C_P}{C_1} \right]} \quad \dots (3)$$

【0059】

式(2)と式(3)から次式を得る。

【0060】

【数4】

$$V_{FG2} = \alpha(V_1 + V_2) \quad \dots (4)$$

【0061】

この V_{FG2} に対応した V_{M1} がソースフォロワ回路の特性により出力される。すなわち、 V_1 と V_2 の和に比例した出力が得られる。ここで式(3)において、 $(C_N + C_P)$ に対して C_1 が大きい場合、すなわちMOSトランジスタのゲート容量が十分に小さい場合には、 α の値は0.5に近づき、本減算素子72は入力された電圧の平均値に近い値を出力する特性を示す。

【0062】

ここで、例えば、 V_1 と V_2 に次の式で与えられる電圧を入力するとする。

【0063】

【数5】

$$V_1 = V_Z + V_{ref} \quad \dots (5)$$

【0064】

【数6】

$$V_2 = V_Z - V_{in} \quad \dots (6)$$

【0065】

ここに V_Z は補正電圧であり後述する式で演算する。また V_{in} は入力信号に対応し、図4の確率的演算回路の入力電圧出力器13は式(6)の演算結果を電圧として出力している。また、 V_{ref} は参照信号に対応し、同様に図4の確率的演算回路のデータ記憶部の出力は式(5)の演算結果に相当する電圧を出力する。

【0066】

これらの式と式(4)から次式が成り立つ。

【0067】

【数7】

$$V_{FG2} = 2\alpha V_Z + \alpha(V_{ref} + V_{in}) \quad \dots (7)$$

【0068】

すなわち参照信号 V_{ref} と入力信号 V_{in} の差にバイアス $2 \cdot V_Z$ 分シフトした電圧が V_{FG2} に得られ、実効的に差演算を行うことができる。

【0069】

図12には減算素子72を構成するソースフォロワ回路73の特性を示している。 V_{FG2} が V_{Low} から V_{High} の範囲で、 V_{SS} から V_{DD} の電圧を出力する特性を示す。

【0070】

ここで、ソースフォロワ回路の出力が線形に増加し始める始点である V_{Low} を用いて、上述の V_Z を以下の式を満たすように決定する。

【0071】

【数8】

$$V_{low} = 2\alpha V_Z \quad \dots (8)$$

【0072】

すると V_{ref} と V_{in} の差について以下のような出力特性をもつこととなる。

【0073】

【数9】

$$V_{out2} = \begin{cases} 0 & (V_{ref} - V_{in} < V_{SS}) \\ V_{FG2} - 2\alpha V_Z & (V_{DD} + 2\alpha V_Z \geq V_{ref} - V_{in} \geq V_{SS}) \\ V_{DD} & (V_{ref} - V_{in} \geq V_{DD} + 2\alpha V_Z) \end{cases} \quad \dots (9)$$

【0074】

図13には、参照電圧 $V_{ref} = 1$ [V] の場合について $V_{SS} = 0$ [V]、 $V_{DD} = 1$ [V]、且つ $\alpha = 0.45$ の時の素子の出力特性を示している。参照電圧 V_{ref} と入力電圧 V_{in} の差が正のとき比例的に出力電圧が増加し、正のみの差演算を実行できていることが理解できる。

【0075】

同様に V_1 、 V_2 を次式のようにすれば、逆方向の差演算が実行できる。

【0076】

【数 1 0】

$$V_1 = Vz - V_{ref} \quad \dots (10)$$

【0 0 7 7】

【数 1 1】

$$V_2 = Vz + V_{in} \quad \dots (11)$$

【0 0 7 8】

この場合の特性を図 1 4 に示したが、この場合は入力電圧 V_{in} と参照電圧 V_{ref} の差が正のとき比例的に出力電圧が増加する。

【0 0 7 9】

以上の特性を応用して絶対値演算を行う回路を図 1 5 に示す。図 1 5 において 8 1 は減算器である。8 2 a, b は図 1 1 の減算素子 7 2 である。8 3 は和算器である。減算器 8 1 は減算素子 8 2 a, b を図示するように並列に配置し、その出力を和算器 8 3 へ入力した構成としている。

【0 0 8 0】

ここに減算器 8 2 a への入力を V_{11} , V_{21} , 減算器 8 2 b への入力を V_{12} , V_{22} とし、 V_{11} , V_{12} を式 (5)、(6) に従い決定し、 V_{21} , V_{22} を式 (10)、(11) に従って決定すると、これらの特性は夫々図 1 3、図 1 4 の特性となる。和算器 8 3 は式 (4) 及びソースフォロワ回路の特性に従って入力電圧の和に比例した電圧出力が得られる。

【0 0 8 1】

図 1 6 には、本実施形態の距離演算器の出力特性を示している。図示するように参照電圧と入力電圧の差の絶対値に比例した電圧出力を得ることができている。

【0 0 8 2】

なお、この場合は、図 4 に示す入力電圧出力器 1 3 とデータ記憶部 4 1 からの出力は減算器 8 2 a, 8 2 b の 2 系統必要となるが、図 4 ではこれらを省略して示している。

【0 0 8 3】

図 1 7 には本実施形態の和算器 2 3 の回路構成の一例を示している。図 1 7 に

において 93 はソースフォロワー回路である。95 は第 1 のキャパシタであり、距離演算器 23 の出力 V_{out3} が入力される。97 は第 2 のキャパシタであり、揺らぎ発生器 15 の出力電圧 V_{ca0} が入力される。

【0084】

和算器 91 の動作は図 15 の和算器 83 と同様であるが、特に揺らぎ電圧 V_{ca0} と距離演算器出力 V_{out3} の和算をアナログ的に実行できるため、出力 V_{out4} は距離演算器出力に揺らぎが重畳した出力が得られる。

【0085】

図 18 には閾値処理器 27 の構成を示しているが、本実施形態では例えば CMOS インバータを用いている。

【0086】

以上のような要素回路構成の確率的演算素子の動作を以下、説明する。

【0087】

参照電圧 V_{ref} と入力電圧 V_{in} の値が近いとき、距離演算器 43 の出力は小さい電圧となる。その結果、和算器 45 で揺らぎを重畳した出力も小さい電圧範囲で振動することとなる。その結果、閾値処理器 27 であるインバータの出力は High レベル (= V_{DD}) が出やすくなる。すなわち、以上のような回路構成とすることで、参照信号と入力信号の値が近いほど High、すなわちパルス出力が得やすくなるのである。

【0088】

図 19 には、本実施形態 1 の揺らぎ発生器 15 の出力を示している。横軸は揺らぎ発生回数であるが、一見、ランダムなカオス的な揺らぎを発生している。

【0089】

図 20 は、参照電圧と入力電圧の差が比較的大きい場合（およそ 1.5 [V]）の、和算器 45 からの出力の一部を示している。さらに閾値処理器 27 で例えば 2 値化（この場合閾値電圧 = 0.5 [V]）した出力結果をすると、図 21 のような出力が得られる。すなわち、閾値を越える毎にパルスが発生するという動作をする。

【0090】

次に図 22 には参照電圧と入力電圧の差が小さい場合（およそ 0.8 [V]）の、和算器 45 からの出力の一部を示している。図 23 にはこの場合の閾値処理器 27 からの出力を示している。図 21 と図 23 の比較から、参照電圧と入力電圧の差の絶対値が小さい場合ほど、多くのパルスが発生する特性を示している。

【0091】

この特性をさらに詳細に検討した結果を図 24 に示す。図 24 において、近似度とは、電源電圧で正規化した参照電圧と入力電圧の差の絶対値を、1 から減じた値として定義したものである。すなわち近似度が高いほど、2 つのベクトルは似通っていることを示す。

【0092】

図 24 に示すように、例えば、近似度が 0 の時は、閾値を越えないため、100 回の揺らぎに対してパルス発生はゼロである。しかし、近似度が大きくなるにつれ、パルスの発生確率が上昇することが理解される。これらのパルス発生は確率的に発生するため、直線的な増加は示さないが、揺らぎ回数が増すほど、近似度による差は安定してくることが理解される。

【0093】

この揺らぎと閾値処理による確率的なパルス発生が、本発明の確率的演算素子の本質であり、従来のコンピュータのような厳密性には欠けるが、揺らぎの回数が増すほど、確率的に精度が向上してくる。このことは、精度は低くとも至急演算結果を欲する情報処理や、演算時間が伸びても精度を重視する場合など、非常に柔軟にベクトルの差演算を実行できる、全く従来にない新概念の素子を提供するものである。

【0094】

次に、本素子でベクトル列比較回路の列数が、演算しようとする列数に足りない場合の駆動方法を説明する。素子の面積は有限であり、一方で、ソフトウェア上でのマトリクスの宣言が仮想的であることを考えれば、このような事態は多く発生すると考える。

【0095】

例えば、本実施形態 1 ではベクトル列数は 1000 であるが、比較対照の列数

が5000の場合について、入力ベクトルに対して、参照ベクトル列の中から最も似たものを100個抽出する場合を例に説明する。

【0096】

まず、素子上で1000個のベクトル列を図6の説明で述べたようにして記憶させる。この場合は、例えば左から順にアナログデータを書き込めばよい。次に、入力ベクトルを入力し、その後揺らぎ発生器から揺らぎ電圧を入力することで、閾値処理器から順次パルスが発信される。パルス数はカウンタにより順次カウントされ、例えば図3のDgからの出力に着目していた場合、256 (= 2⁸) のパルスが入力されると、DgラインがHighを出力する。このHighとなるベクトル列の数をフラグ検出器で監視しておき、この場合100個に到達したら揺らぎ電圧を停止する。次に、このHighが出力されたベクトル列を飛ばすようにしてベクトル列を900個書き込む。

【0097】

以上の動作を繰り返せば、最終的には全体の中で最も似通ったベクトル列を抽出することができるのである。

【0098】

以上、本確率的演算素子はベクトル比較の演算を超並列的に実行できるため、その比較速度は、特にベクトル数が増加するに従って、従来のコンピュータより格段に高速に演算できるものである。

【0099】

また、一般的なアナログ回路では、厳密な演算を行うことは難しいが、本素子は演算原理がそもそも確率的であることを前提にしているため、その製造にあたっては設計に自由度を持たせることができ、製造が容易という特徴を有する。

【0100】

以上、本発明の確率的演算素子は、従来のデジタル演算でもアナログ演算でもない、第3の演算手法の演算素子を提供できるものである。

【0101】

この発明は、厳密な論理演算には適さないが、特に認識処理などで多発するベクトルマッチングを非常に高速に行え、従来の半導体素子を補助する極めて有用

な素子を提供できるものである。

【0102】

なお、本実施形態では、各構成回路を、ソースフォロワのゲートにキャパシタを複数配した構造の素子の場合について説明したが、同様な演算を実行できる素子であれば、所望の動作が得られることは言うまでもない。

【0103】

また繰り返しになるが、揺らぎについては特にカオスを用いる必要もなければ、またカオスについても特にロジスティックカオスに限定されるものではなく、長期的に均等な確率を得られる手段であれば同様の効果が期待できることも自明である。

【0104】

カウンタについても、本実施形態ではDフリップフロップの場合について述べたが、他のカウンタを用いても何ら問題ない。

【0105】

また、アナログメモリとして強誘電体を用いる場合について説明したが、アナログ量を物性として有するものを用いれば同様の効果を得ることができる。例えば相変化材料の抵抗変化を用いたり、キャパシタへの充電を利用するなどの手法を用いてもよい。

【0106】

閾値処理についても、簡便なインバータの場合について説明したが、これが別の回路であっても同様であることは言うまでもない。

【0107】

(実施形態2)

以下、本発明の第2の実施形態について説明する。

【0108】

図25には本実施形態2の確率的演算素子の確率的演算回路を示している。なお同図において図4と同一物には同一番号を附記し説明を省略する。図25において301は確率的演算回路である。303はデジタル入力であり、本確率的演算素子に入力されるデジタルデータである。305はデジタル距離演算回路であ

り、本実施形態では例えばベクトル要素間の絶対値を演算する。307はD/A変換器である。

【0109】

本実施形態2の確率的演算素子は、ベクトル要素間の距離演算までをデジタル回路で実行する点が実施形態1と異なる。

【0110】

距離演算結果をD/A変換器307によりアナログ値にし、これをアナログメモリ57へ記録する。アナログメモリ57のアナログ出力は揺らぎ発生器15の出力と和算器45により重畳され、その出力を閾値処理器47により閾値処理してパルスとして発生することにより、実施形態1と同様の演算が実行できるものである。

【0111】

本実施形態2の確率的演算素子は、差演算までをデジタルで実行するためその演算時間が必要となるが、図4の距離演算器43が不要になり、図6からこの距離演算器43はマトリクス的に多数配置されることを考えれば、チップ面積を小さくすることが可能となる。

【0112】

また、図6の演算・D/A変換器53に、本実施形態2のデジタル距離演算回路305とD/A変換器307の機能を具備させれば、ベクトル要素方向に超並列でこれらの距離演算を実行し、且つマトリクス的にアナログメモリに距離のアナログ情報を書き込むことができ、極めて面積効率の高い確率的演算素子を実現できるものである。

【0113】

(実施形態3)

以下、本発明の第3の実施形態について説明する。

【0114】

図26には本実施形態3の確率的演算素子の確率的演算回路を示している。なお図において図4と同一物には同一番号を附記し説明を省略する。

【0115】

図 26 に示すとおり、本実施形態 3 の確率的演算回路は、実施形態 1 とは異なり、入力に先に揺らぎを重畳した後に、絶対値比較を行う構成としている。

【0116】

このような演算順序であっても実施形態 1 と同様に、確率的にパルスを発生する確率的演算素子を実現できる。

【0117】

(実施形態 4)

以下、本発明の第 4 の実施形態について説明する。

【0118】

図 27 には本実施形態 4 の確率的演算素子の減算素子 72 を一例として示している。図 27 で 100 はスイッチである。

【0119】

本実施形態 4 の減算素子、和算器やアナログメモリは、実施形態 1 の減算素子、和算器やアナログメモリのソースフォロワ回路のゲート電極にさらにスイッチ素子を設け、スイッチ素子の他端を例えば接地した構成を有している。これは、実施形態 1 のソースフォロワ回路のゲート電極は、配線と結線されていないフローティング状態であったのに対し、本実施形態 4 では、スイッチ素子 100 にリセット電圧 V_{res1} を印加することで、フローティング電極の電位を一旦、例えば接地することができる。

【0120】

これにより、素子を製造する際のドライエッチング工程などで残留した電荷を除去したり、本確率的演算素子を長期的に使用することにより、例えばソースフォロワ回路を構成する MOS トランジスタのゲートから流入する電荷を除去することができるのである。

【0121】

なお、この構造の場合、リセットスイッチに MOS トランジスタを用いると、いわゆるジャンクションリークにより、演算時にフローティング電極に保持された電位は長期的には減衰するが、本発明の確率演算素子の演算時間は長くても 1 秒程度であるため、この場合は全く問題なく演算を行うことができるのである。

【0122】

(実施形態5)

以下、本発明の第5の実施形態について説明する。

【0123】

図28には本実施形態5の確率的演算素子の確率的演算回路を示している。同図において図4と同一物には同一番号を附記し説明を省略する。図28において、111は確率的演算回路である。113はスイッチである。

【0124】

本実施形態の確率的演算回路111は、閾値処理器47の直前にスイッチ113を設けたことを特徴とする。例えば図22の動作説明から理解されるように、本発明の確率的演算素子は、揺らぎが閾値を跨ぐときのみパルスを発信するため、例えば、圧倒的にベクトルの絶対差が小さい場合など、閾値を跨がない場合が発生する恐れがある。

【0125】

そこで本実施形態5では、スイッチ113に出力信号が入っていないときは、例えばHighが出力され、出力信号が入力されると、そのときの距離演算器43からの出力を出力するようにすることで、距離演算器43からの出力が連続的に低く閾値を跨がない場合でも強制的に閾値を跨がせることによりパルスが発生することができる。

【0126】

(実施形態6)

以下、本発明の第6の実施形態について説明する。

【0127】

図29には本実施形態6の確率的演算素子の構成を示した図である。なお同図において図1と同一物には同一番号を附記し説明を省略する。図29において151a, b・・・は積分器である。153は比較器であり、本実施形態では積分器151a, b・・・の出力の大小を比較し、上位を抽出する機能を有する。

【0128】

本実施形態の確率的演算素子は、実施形態1の確率的演算素子とは、カウンタ

の部分が異なった構成を有している。本実施形態 6 では、確率的演算回路 5 a からの出力パルス数をカウントするのではなく、パルスに含まれる電荷量を蓄積することで、パルスの幅を含めて大小を比較するものである。

【0129】

このような積分器 151 の例を図 30 に示す。なお同図において図 29 と同一物には同一番号を附記し説明を省略する。図 30 において、155、157 はスイッチである。159 はキャパシタである。160 は電界効果型トランジスタである。

【0130】

図 30 の積分器 151 a は、スイッチ 155 を ON 状態に、157 を OFF 状態にしているときは、配線にパルスが伝達されると、電界効果型トランジスタ 160 の On/Off が切り替わり、電界効果型トランジスタ 160 が On になった時間だけキャパシタ 159 に電荷が蓄積される。次にスイッチ 155 を OFF にし、スイッチ 157 を ON にすると、先に蓄積された電荷に相当する電圧を出力することができる。すわたち、パルスの幅とその数に相当する電圧を出力することができるのである。この場合、蓄積電荷量が増加すると徐々に蓄積される電位は線形でなくなってくるが、大小の違いは明確に検出できるため、ベクトル列間の比較には十分適用できるのである。

【0131】

本実施形態の確率的演算素子は、実施形態 5 で述べたように、閾値を跨ぐ揺らぎが長期的に発生した場合に、パルスの幅としての情報も蓄積できるため、より高精度にベクトル列の比較を実行することができる。

【0132】

(実施形態 7)

以下、本発明の第 7 の実施形態について説明する。

【0133】

図 31 には本実施形態 6 7 確率的演算素子の閾値処理器を示している。同図において図 1 と同一物には同一番号を附記し説明を省略する。図 31 において、101 は電流検出器である。102 は揺らぎ発生器制御回路である。

【0134】

実施形態5に述べたように、本発明の確率的演算素子は、ベクトル間の差が小さく、連続的に閾値を跨がない状態が生じると、パルスが発生しなくなってしまう、ベクトルが近いのにカウントが増加しない事態となる。

【0135】

本実施形態の確率的演算素子は、これを防止するため、揺らぎ発生器の電圧の揺らぎ幅または平均電圧を徐々に大きくすることを特徴とする。

【0136】

揺らぎ発生器制御回路102は揺らぎ発生器15の出力電圧の揺らぎを少しずつ大きくする。やがて、揺らぎが閾値に達してくると、頻繁にパルスが発生することとなる。このとき、本実施形態の閾値処理器はインバータとしているため、High/Lowが反転する瞬間にPMOSからNMOSへ向けて貫通電流が流れることとなる。この貫通電流を電流検出器101で検出することにより、パルスが発生し始めたかどうかを判断することで、極端に揺らぎが大きくなることを防止することができる。

【0137】

図32、図33にはこの動作をより詳細に示している。図32は揺らぎ発生器15に高いバイアス電圧（約1[V]）を付加したときの閾値処理器27への入力電圧を示したものである。この場合、閾値である1[V]より高い電圧範囲で電圧が揺らぐため、閾値に到達することがなく、閾値処理器27はパルスを発生しない。すなわち、インバータはずっとLowレベルを出力しつづけ、反転時に観察される貫通電流は変化がない。次に図33は図32の状態からバイアス電圧を徐々に低下させ約0.5[V]とした時の閾値処理器27への入力電圧を示している。この場合には、閾値を交差する電圧揺らぎが多発するため、前述のようにパルスが多く出力されることとなる。このようにインバータのON/OFFが繰り返されることで、インバータの貫通電流が増加し、これが電流検出器101で観察されることとなる。

【0138】

なお、このような調整は、バイアス電圧を揺らぎ発生器15の揺らぎに加える

ことで平均出力電圧を変化させる、今回の説明のように行っても良いが、揺らぎの振幅を大きくしても同様の機能が得られることは言うまでもない。

【0139】

(実施形態8)

以下、本発明の第8の実施形態について説明する。

【0140】

本実施形態8の確率的演算素子は、揺らぎ発生回路において発生される揺らぎに特徴を有するため、以下、その揺らぎの特性についてのみ説明する。

【0141】

図34には本実施形態8の確率的演算素子の揺らぎ発生器の出力を示している。実施形態1～7の確率的演算素子においては、揺らぎ発生器の出力は、カオスや熱雑音を用い、ランダムな振る舞いを見せる出力を用いて演算を実行していた。

【0142】

本実施形態8の揺らぎ発生器の出力は図34に示すように、規則的な出力を発生することを特徴とする。ここで、特に出力のヒストグラムができるだけ同等になるように、発生出力の大きさを制御している。図34のような徐々に増加するパルス列は、ランプ波形の電圧を一定時間間隔でサンプリングするようにすれば得ることができる。

【0143】

なお、本実施形態では、規則的に電圧が増加するパルス列としたが、このような特性でなくとも、出力値のヒストグラムに偏りがなければ、同様の効果が期待できることはいうまでもない。

【0144】

(実施形態9)

以下、本発明の第9の実施形態の確率的演算素子を用いた認識処理装置である音声認識装置について説明する。

【0145】

図35は実施形態9の音声認識装置の構成を示す図である。同図において図1

と同一物には同一番号を附記し説明を省略する。図 35 において、121 は特徴抽出処理部である。122 はメモリであり、参照ベクトルデータ群が例えばデジタル情報として格納されている。123 はマイクロフォンである。

【0146】

参照ベクトルデータ群には、音声の基本的な特徴データが予め格納されており、また、必要な場合には特徴抽出処理部で得られた特徴データを格納できるようになっている。特徴抽出処理部 121 は、マイクロフォン 123 から入力されたアナログ情報を、例えば、スペクトル分布や、その時間変化などの処理を行うことにより、特徴データを抽出することができる。

【0147】

この特徴データと参照ベクトルデータ群 122 のデータとのマッチングを、上述の確率的演算素子で実行することで、非常に高速に、例えば日本語であれば五十音の認識を行うことができる。

【0148】

(実施形態 10)

以下、本発明の第 10 の実施形態の確率的演算素子を用いた認識処理装置である音声認識装置の別の例について説明する。

【0149】

図 36 は実施形態 10 の音声認識装置のメモリに格納された参照ベクトルデータ群の特徴を説明する図である。同図において図 6 または図 35 と同一物には同一番号を附記し説明を省略する。本実施形態の参照ベクトルデータには、音声のスペクトル情報を時系列的に上から配置したデータ構造を有している。また、図 36 のデジタルデータ 51 の一部にアルファベットの A～D を記入しているが、これらは同じ声に対する特徴情報をあらわしている。

【0150】

本実施形態の音声認識装置は、参照ベクトルデータ群で、同一のデータを相互にずらして配置していることを特徴とする。

【0151】

人間が話をする場合、文字で書けば同じことを、時間的に同じタイミングで話

すとは限らず、また個人差がある。

【0152】

本発明の確率的演算素子は、非常に高速に大量のベクトルのマッチングをとることが可能であるため、このような声の伸び縮みを考慮して、予め時間的にずらしてデータを準備しておけば、時間の伸び縮みがあっても、それに対応したベクトル列が最も近いこととなり、入力された声がどの文字に相当するかを判断することができる。

【0153】

(実施形態11)

以下、本発明の第11の実施形態の確率的演算素子を用いた認識処理装置である画像認識装置について説明する。

【0154】

図37は実施形態11の画像認識装置の構成を示す図である。同図において図35と同一物には同一番号を附記し説明を省略する。図37において、141は特徴抽出処理部である。143はカメラであり例えばCCDなどの撮像素子である。

【0155】

本実施形態の画像認識装置においては、メモリ122には参照ベクトルデータ群として、画像から得られる特徴量と、それに対応するラベル、例えばその対象の名前などがデータとして格納されている。

【0156】

このような画像認識においては、種々の手法があるが、図38には、特に人の顔を認識する場合の例を示している。

【0157】

この手法では、カメラ143に映った映像から、目や鼻、口などのパーツの位置をまず取得し、次にこれらのパーツ間の距離を特徴量としている。

【0158】

従来、このような認識処理はパーソナルコンピュータなどで行うため、特徴量としてはせいぜい数十程度であったが、本発明の確率的演算素子はより多くのベ

クトル比較を高速に行えるため、特徴量をより多く取得し、比較することができるのである。

【0159】

例えば、顔の向きが変わったり、周囲の明るさが変化した場合など、いくつか状況が変わった場合の特徴量を記憶しておくことで、人を認識する精度を飛躍的に向上することが可能である。

【0160】

なお、本実施形態では人の顔認識について説明したが、工場の生産ラインにおける基板上の部品の認識や、自動車などからの標識の認識など、他の用途に対しても同様に画像の認識処理を実行できることは言うまでもない。

【0161】

(実施形態12)

以下、本発明の第12の実施形態の確率的演算素子を用いた認識処理装置である行動認識装置について説明する。

【0162】

図39は実施形態の行動認識装置の構成を示す図である。同図において図35と同一物には同一番号を附記し説明を省略する。図39において、171は行動情報記憶ベクトルであり、人の行動をベクトル化したデータが格納されている。173は重み付け係数付加回路であり、被験者の反応に従ってベクトルの重み付けを変更する。175は行動情報入力ベクトルであり、被験者の状態をベクトル化したものである。

【0163】

行動情報入力ベクトル175は、例えば被験者の屋内及び屋外での電気機器の操作履歴や、家庭内などに配置された赤外線センサ出力、室温センサ出力、湿度センサ出力、また人体近傍に設けられた体温センサ出力、脳波センサ出力、脈拍センサ出力、視線センサ出力、発汗センサ出力、筋電位センサ出力、さらには日時情報、曜日情報などの状況データである。さらには実施形態10や実施形態11で述べた音声入力や画像入力の特徴量もこのような状況データとして用いることができる。

【0164】

行動情報記憶ベクトル171には、さらにこの状況データに加え、そのときに被験者が取った行動、もしくはそのときの機器の動作がデータとして加えられている。

【0165】

行動情報入力ベクトル175からベクトルが入力されると、確率的演算素子1において過去の状況で似た状況を抽出し、それに対応する行動が決定される。その決定に対し被験者が反応をする。例えば、提供した動作に躊躇なく次の動作に移れば、提供動作には好印象を持ったと判断できるし、即座に提供動作を否定する動作に移れば、低強動作には悪い印象を持ったと判断できる。また、Yes/Noで直接的に回答してもらっても良い。

【0166】

このような被験者の反応を重み付け係数付加回路173により数値化し、行動情報入力ベクトル175の中の重み付け係数の数値を変える。

【0167】

このような重み付け係数は、本発明の確率的演算素子においては、例えば、他のベクトルより多くのパルスが発生する機構を設けるなどすれば、そのベクトル列の選ばれやすさを制御することが可能である。

【0168】

本実施形態の行動認識装置を、機器に組み込むことにより、ユーザーが快適と思った機器の自動動作が出現する確率が向上し、逆に不快と思った自動動作の出現確率が減少し、被験者個人個人の嗜好に合致したサービスを提供することができるのである。

【0169】**【発明の効果】**

本発明の確率的演算素子により、既存の半導体プロセス技術によって製造が可能で、且つ、確率的に最も近いベクトルを高速に抽出できる素子を提供するものである。またこのような処理をチップ上で超並列的に実行することにより、従来のノイマン・コンピュータよりも遥かに高速にベクトル抽出を実行することがで

きる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の確率的演算素子の構成説明図

【図 2】

同実施形態 1 の揺らぎ発生器の構成例を示す図

【図 3】

同実施形態 1 のカウンタの構成例を示す図

【図 4】

同実施形態 1 の確率的演算回路構造の詳細説明図

【図 5】

同実施形態 1 のデータ記憶部の構成例を示す図

【図 6】

同実施形態 1 のアナログメモリセルアレイの構成例を示す図

【図 7】

同実施形態 1 のアナログメモリの第 1 の構成例を示す図

【図 8】

同実施形態 1 のソースフォロワー回路の入出力特性を示す図

【図 9】

同実施形態 1 のアナログメモリの第 2 の構成例を示す図

【図 10】

同実施形態 1 の強誘電体キャパシタのヒステリシス特性を示す図

【図 11】

同実施形態 1 の減算素子の回路構成の一例を示す図

【図 12】

同実施形態 1 の減算素子を構成するソースフォロワ回路の特性説明図

【図 13】

同実施形態 1 の減算素子の入出力特性を示す図

【図 14】

同実施形態 1 の別の減算素子の入出力特性を示す図

【図 15】

同実施形態 1 の距離演算器の構成例を示す図

【図 16】

同実施形態 1 の距離演算器の出力特性を示す図

【図 17】

同実施形態 1 の和算器の回路構成の一例を示す図

【図 18】

同実施形態 1 の閾値処理器の構成例を示す図

【図 19】

同実施形態 1 の揺らぎ発生器の出力を示す図

【図 20】

同実施形態 1 の和算器の出力（参照電圧と入力電圧の差が比較的大きい場合）を示す図

【図 21】

同実施形態 1 の閾値処理器の出力（参照電圧と入力電圧の差が比較的大きい場合）を示す図

【図 22】

同実施形態 1 の和算器の出力（参照電圧と入力電圧の差が小さい場合）を示す図

【図 23】

同実施形態 1 の閾値処理器の出力（参照電圧と入力電圧の差が小さい場合）を示す図

【図 24】

同実施形態 1 の揺らぎ回数とパルス発生確率の特性説明図

【図 25】

本発明の第 2 の実施の形態の確率的演算素子の構成説明図

【図 26】

本発明の第 3 の実施形態の確率的演算素子の確率的演算回路構成を示す図

【図 27】

本発明の第 4 の実施形態の確率的演算素子の減算素子の構成を示す図

【図 28】

本発明の第 5 の実施形態の確率的演算素子の確率的演算回路構成を示す図

【図 29】

本発明の第 6 の実施形態の確率的演算素子の構成図

【図 30】

同実施形態 6 の積分器の例を示す図

【図 31】

本発明の第 7 の実施形態の確率的演算素子の閾値処理器構成を示す図

【図 32】

同実施形態 7 で揺らぎ発生器のバイアス電圧が高い場合の閾値処理器への入力電圧を示す図

【図 33】

同実施形態 7 で揺らぎ発生器のバイアス電圧が低い場合の閾値処理器への入力電圧を示す図

【図 34】

本発明の第 8 の実施形態の確率的演算素子の揺らぎ発生器の出力を示す図

【図 35】

本発明の第 9 の実施形態の確率的演算素子の認識処理装置である音声認識装置の構成説明図

【図 36】

本発明の第 10 の実施形態の確率的演算素子の認識処理装置である音声認識装置に格納された参照ベクトルデータ群の模式図

【図 37】

本発明の第 11 の実施形態の確率的演算素子の認識処理装置である画像認識装置の構成説明図

【図 38】

同実施形態 11 の画像認識装置の特徴抽出処理部における顔認識の手法例を示

す図

【図 39】

本発明の第 12 の実施形態の確率的演算素子の認識処理装置である行動認識装置の構成及び動作説明図

【図 40】

従来技術例の確率的演算素子の構造説明図

【図 41】

同従来技術例の確率的演算素子の演算原理説明図

【符号の説明】

- 1 確率的演算素子
- 3 a, 3 b ベクトル列比較回路
- 5 a, 5 b …… 5 n 確率的演算回路
- 7 a, 7 b …… 7 m 遅延回路
- 9 a, 9 b スイッチ
- 11 a, 11 b カウンタ
- 13 入力電圧出力器
- 15 揺らぎ発生器
- 17 フラグ検出器
- 19 カウント数取得器
- 21 演算器
- 23 遅延回路
- 25 Dフリップフロップ
- 41 データ記憶部
- 43 距離演算器
- 45 和算器
- 47 閾値処理器
- 51 デジタルデータ
- 53 演算・D/A変換器
- 55 スイッチ

57 アナログメモリ
61 アナログメモリ
63 ソースフォロワ回路
65 強誘電体キャパシタ
71 アナログメモリ
72 減算素子
73 常誘電体キャパシタ
75 第1のキャパシタ
77 第2のキャパシタ
78 減算素子
81 減算器
83 和算器
91 和算器
93 ソースフォロワー回路
95 第1のキャパシタ
97 第2のキャパシタ
99 確率的演算回路
100 スイッチ
101 電流検出器
102 揺らぎ発生器制御回路
111 確率的演算回路
113 スイッチ
121 特徴抽出演算部
123 マイクロフォン
131 メモリ
141 特徴抽出演算部
143 カメラ
171 行動情報記憶ベクトル
173 重み付け係数付加回路

1 7 5 行動情報入力ベクトル

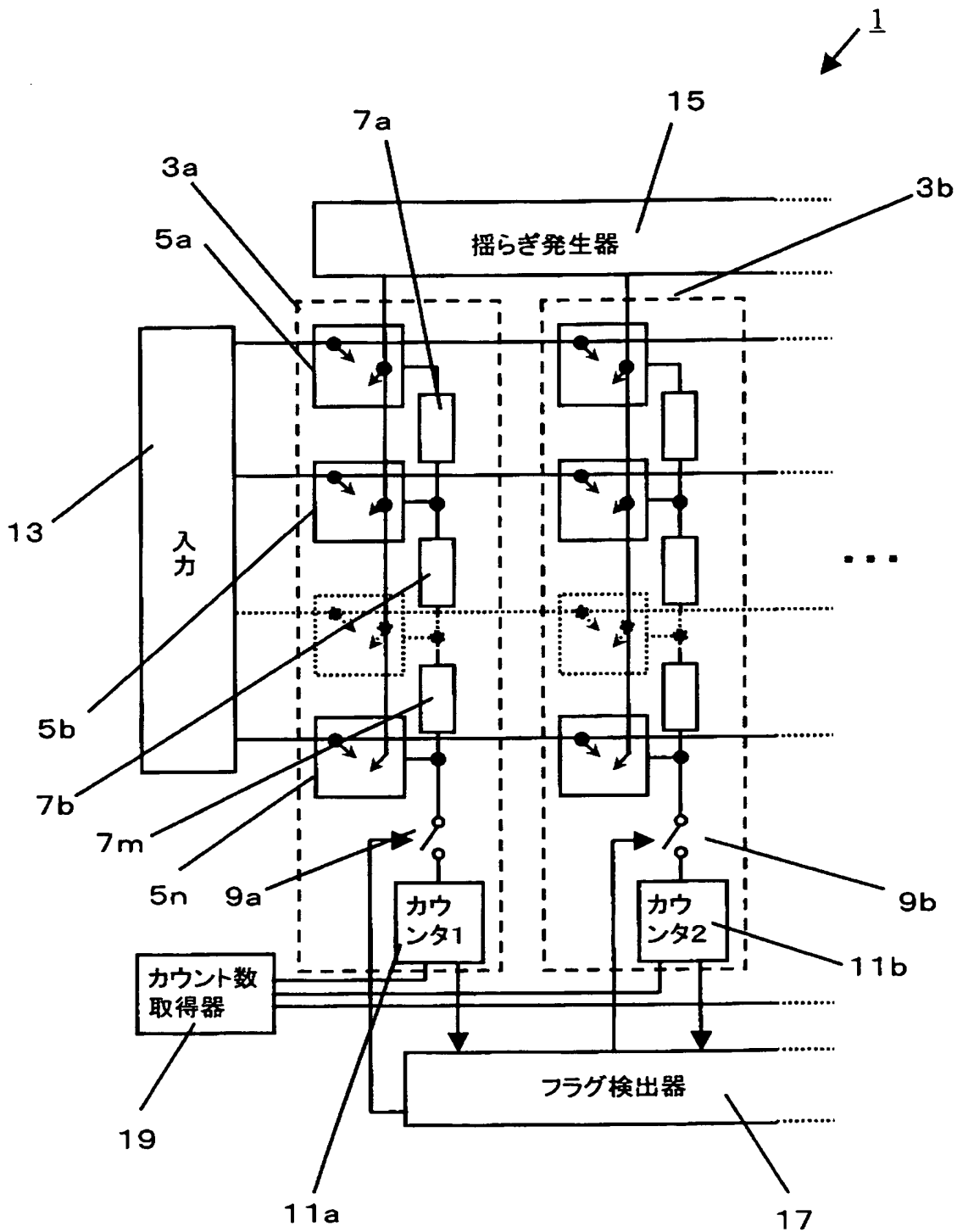
2 1 1 M O S F E T

2 1 2 ゲート電極

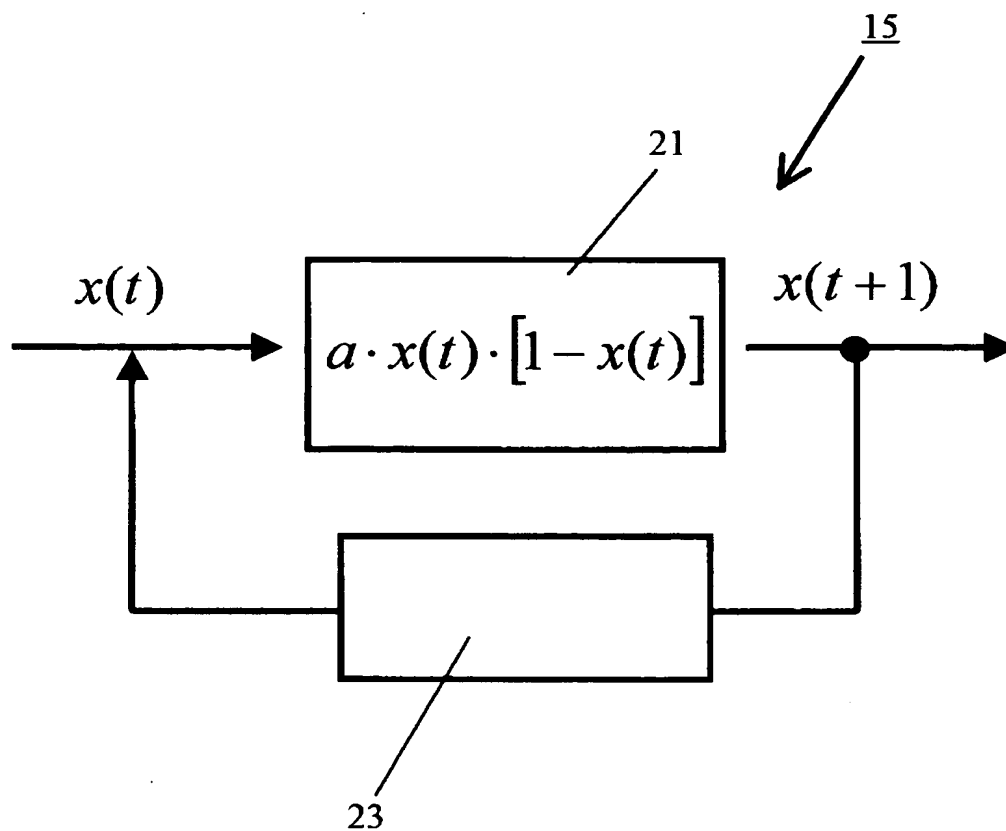
2 1 3 量子ドット

【書類名】 図面

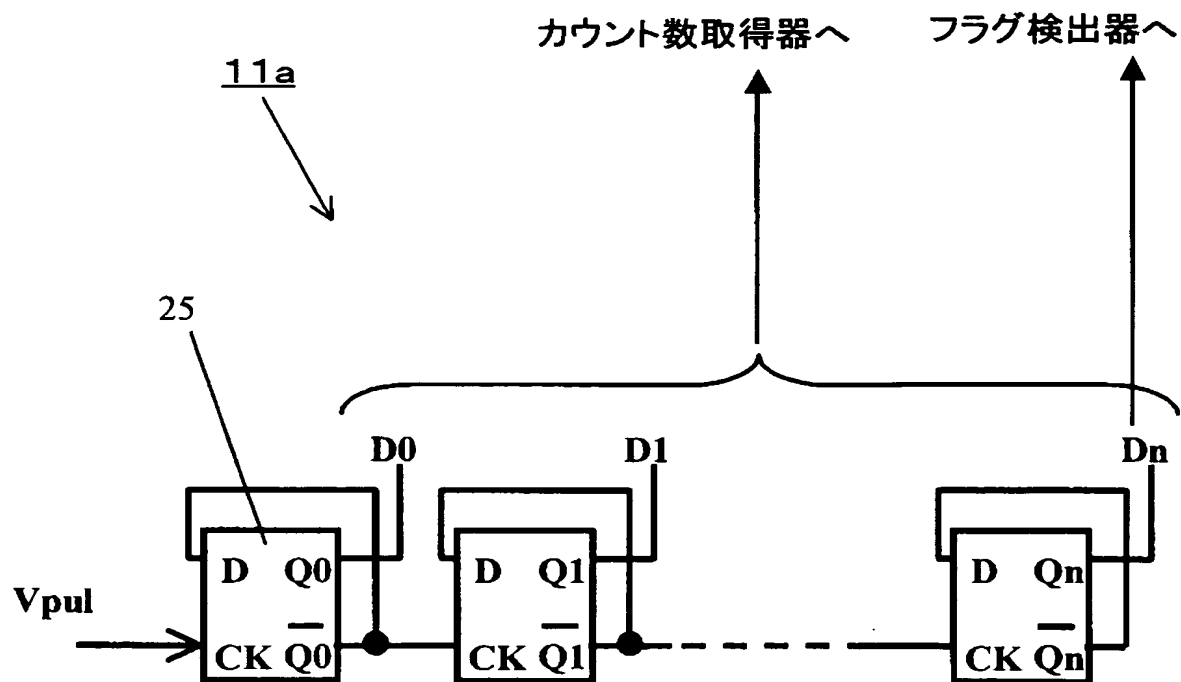
【図 1】



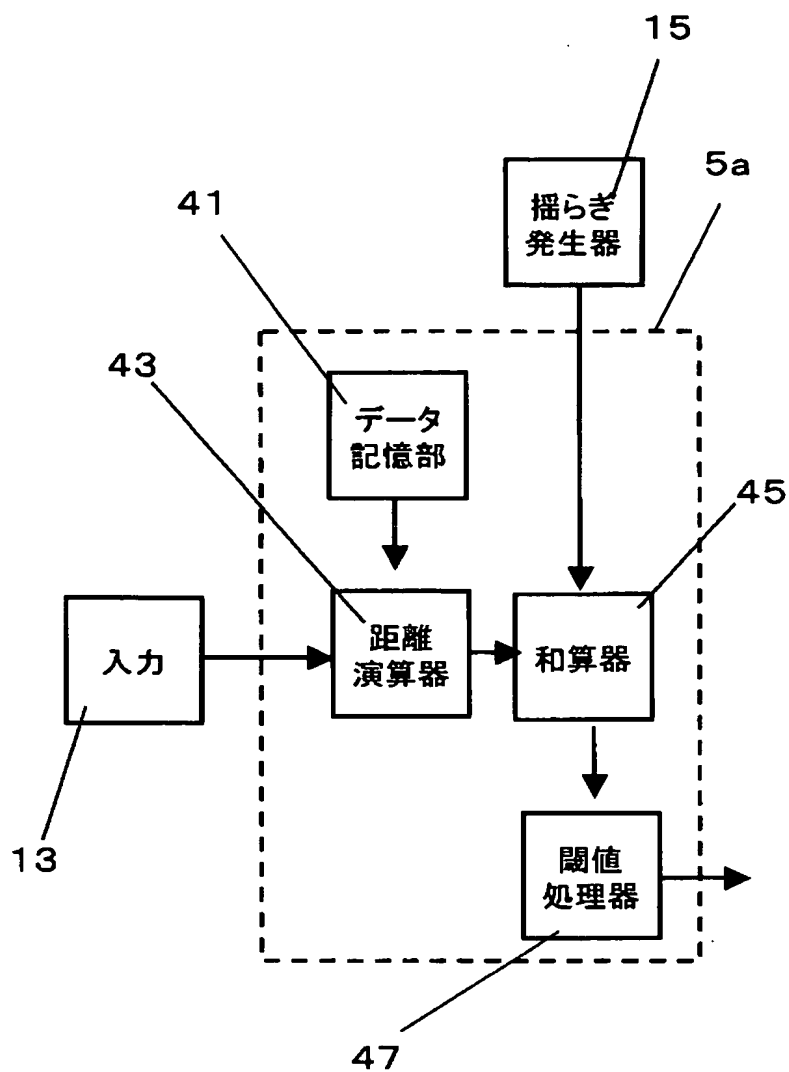
【図 2】



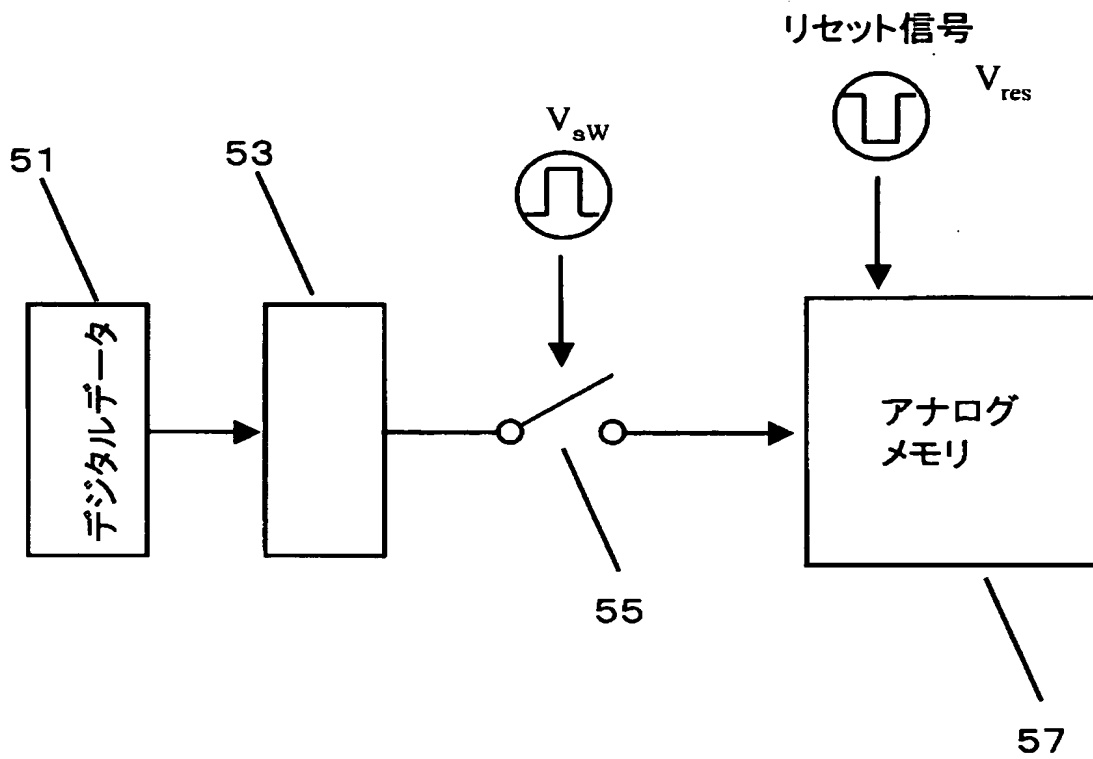
【図 3】



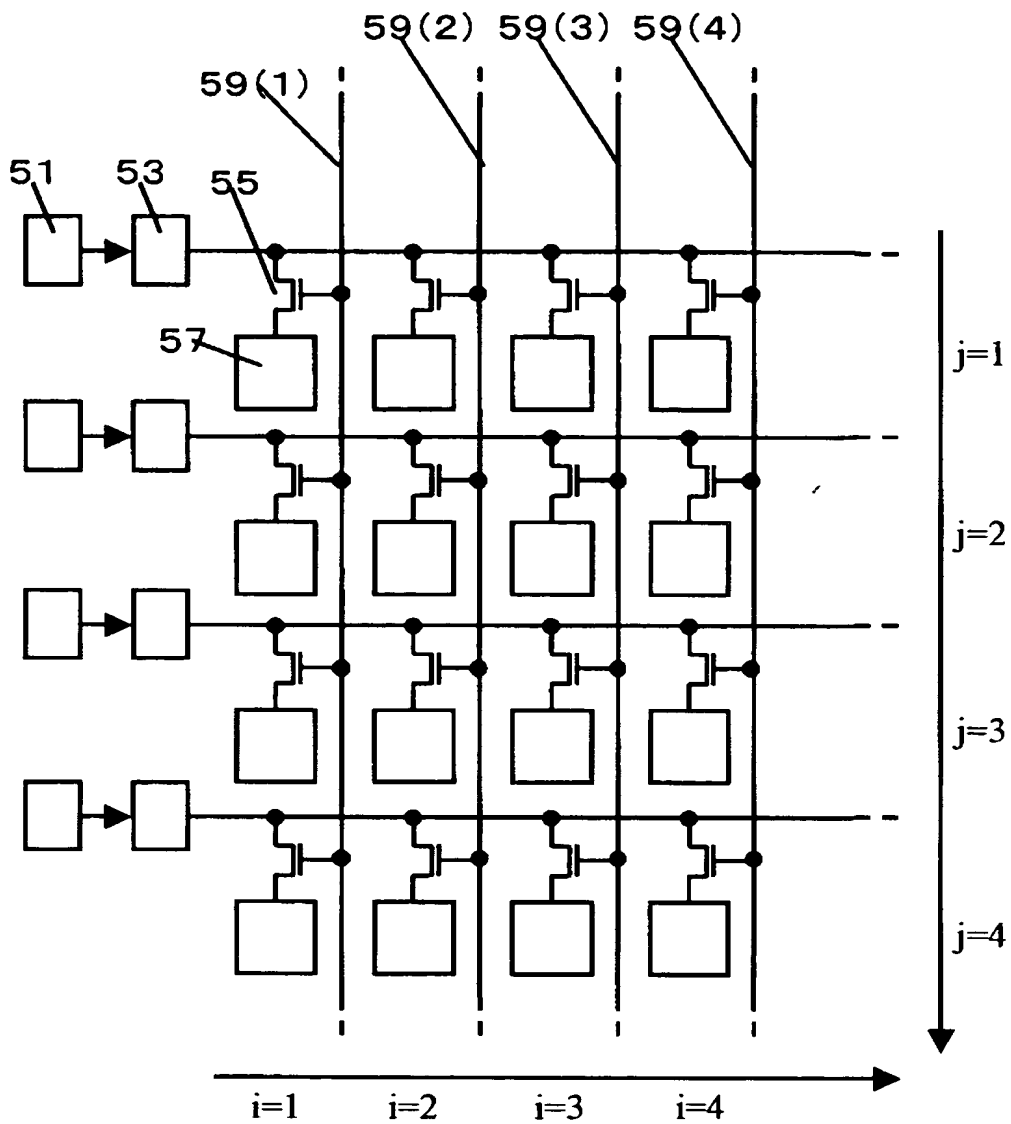
【図 4】



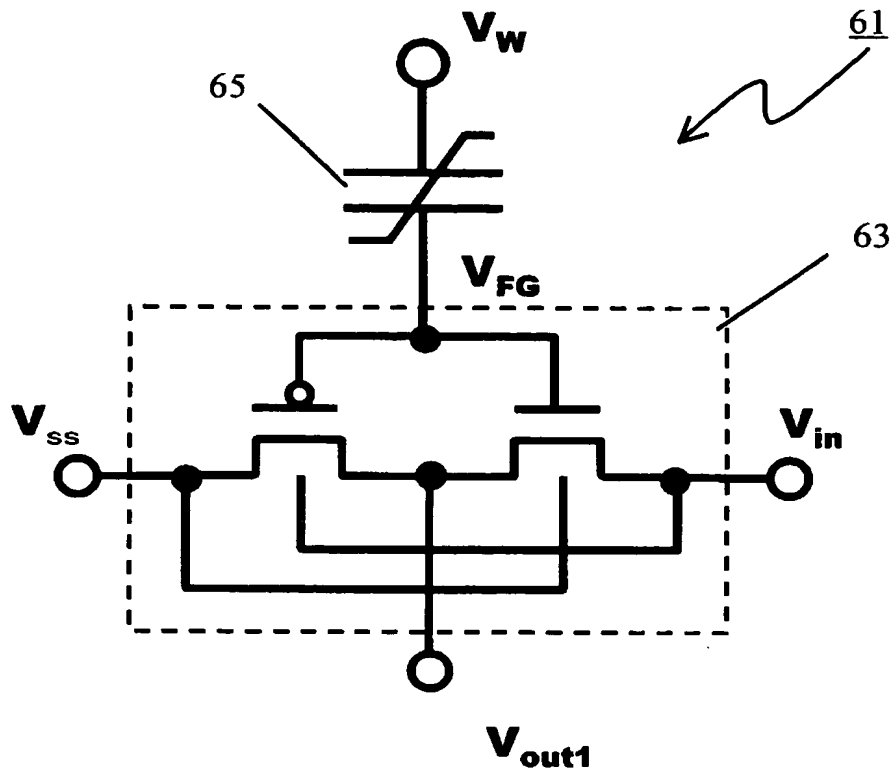
【図 5】



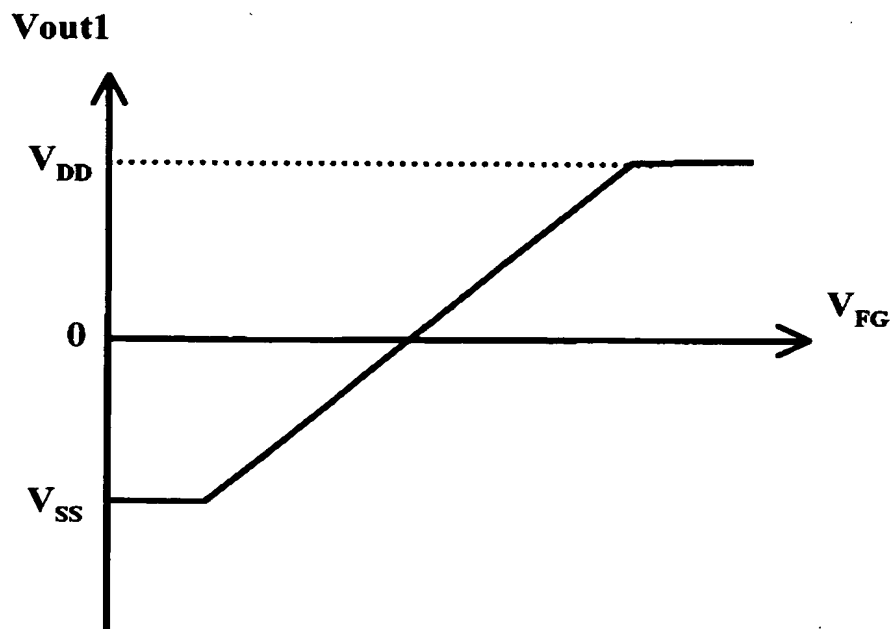
【図 6】



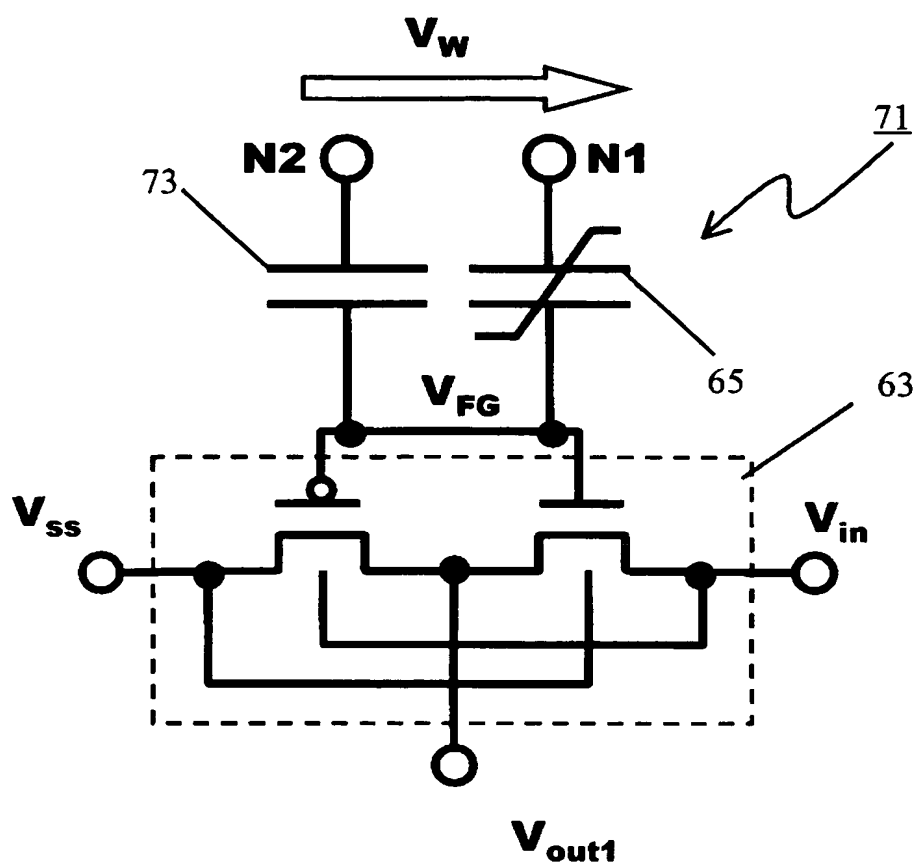
【図 7】



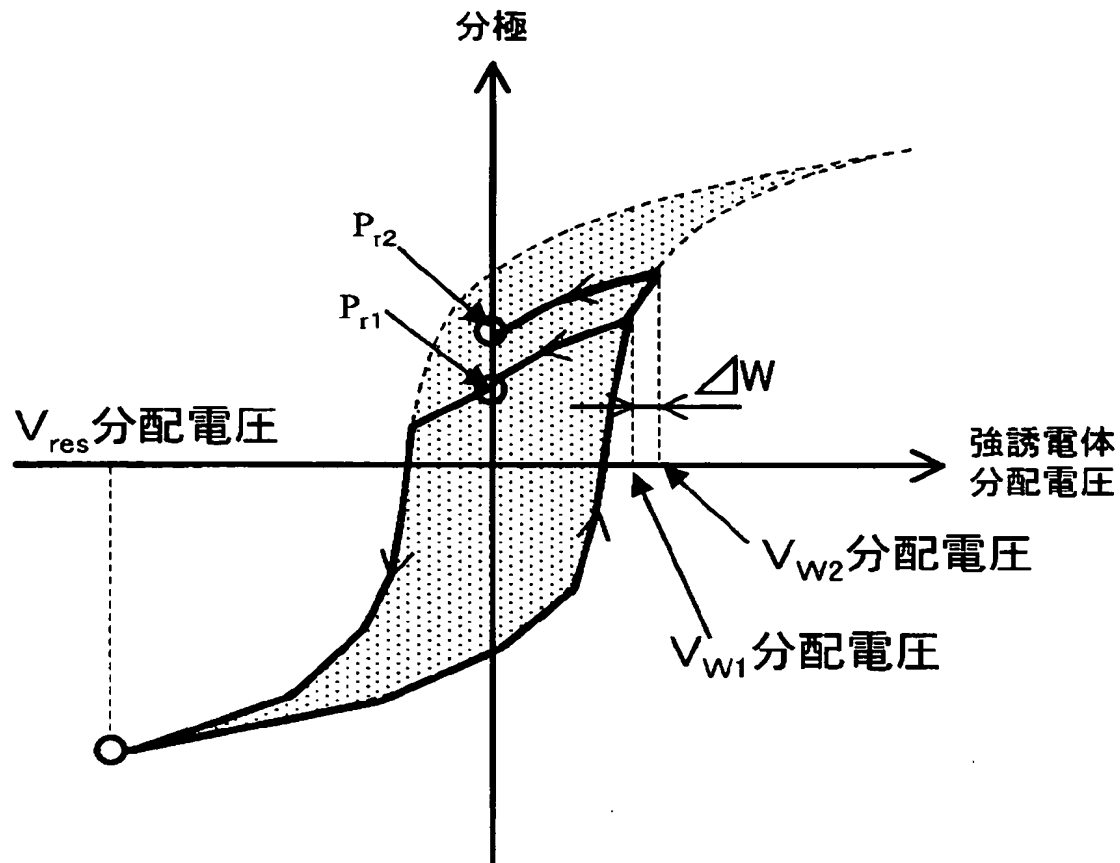
【図 8】



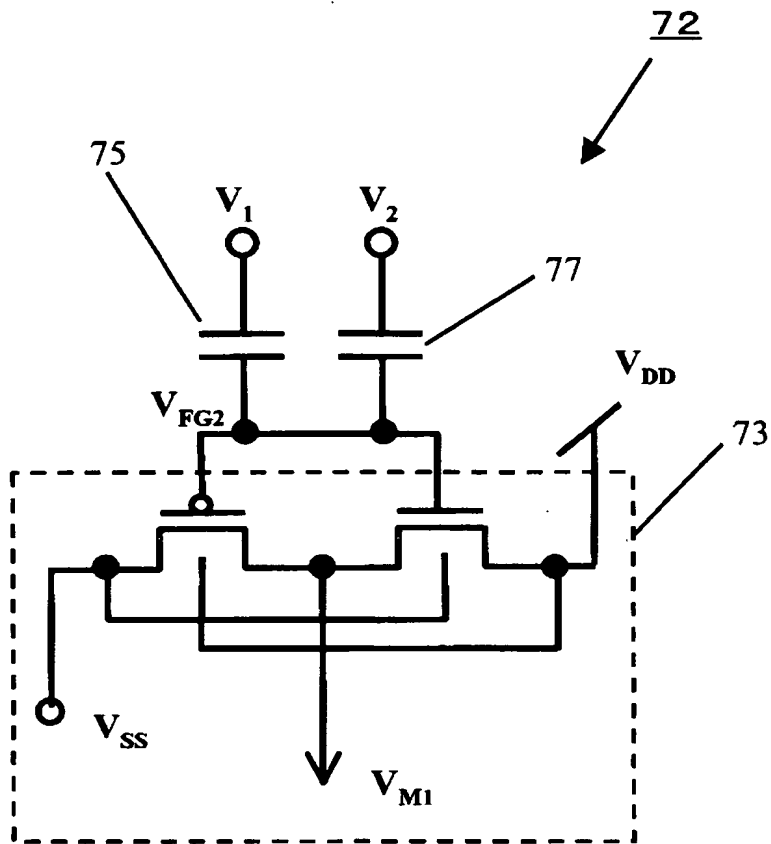
【図 9】



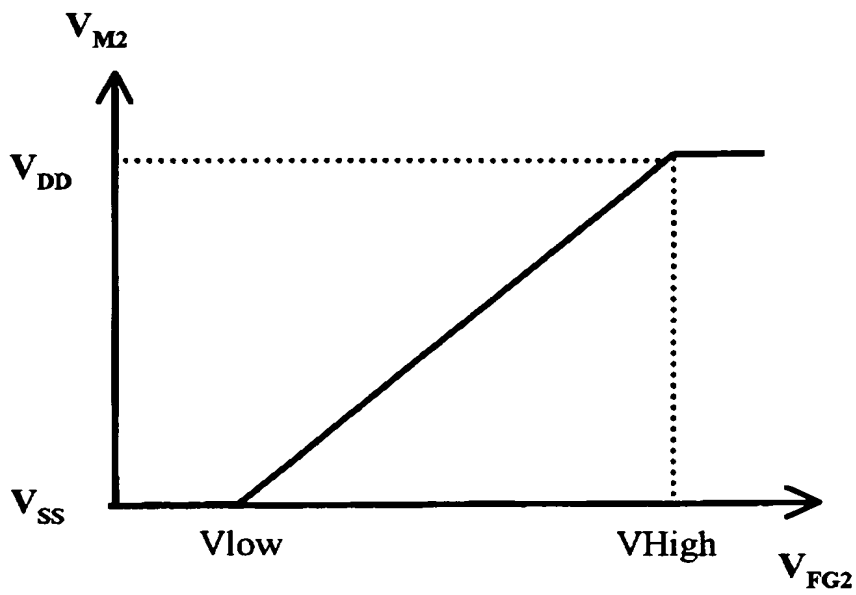
【図 10】



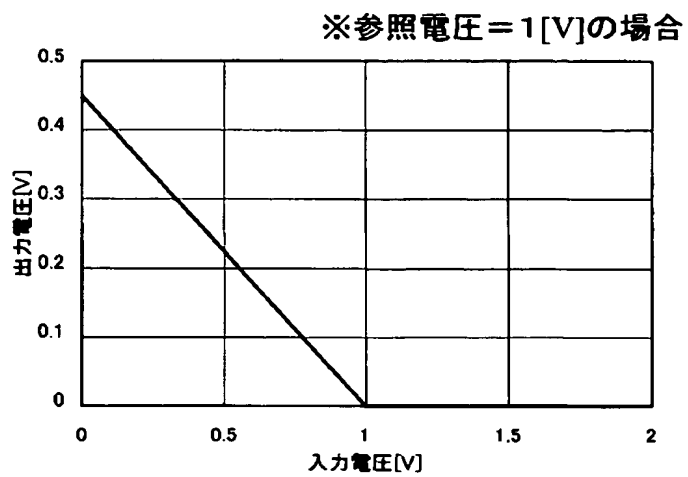
【図 1 1】



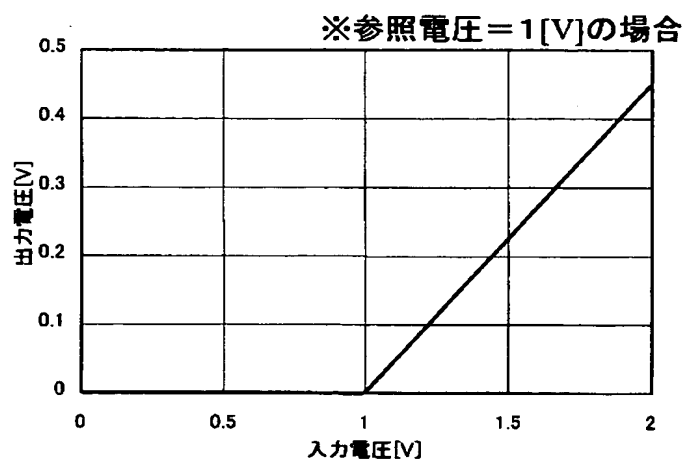
【図 1 2】



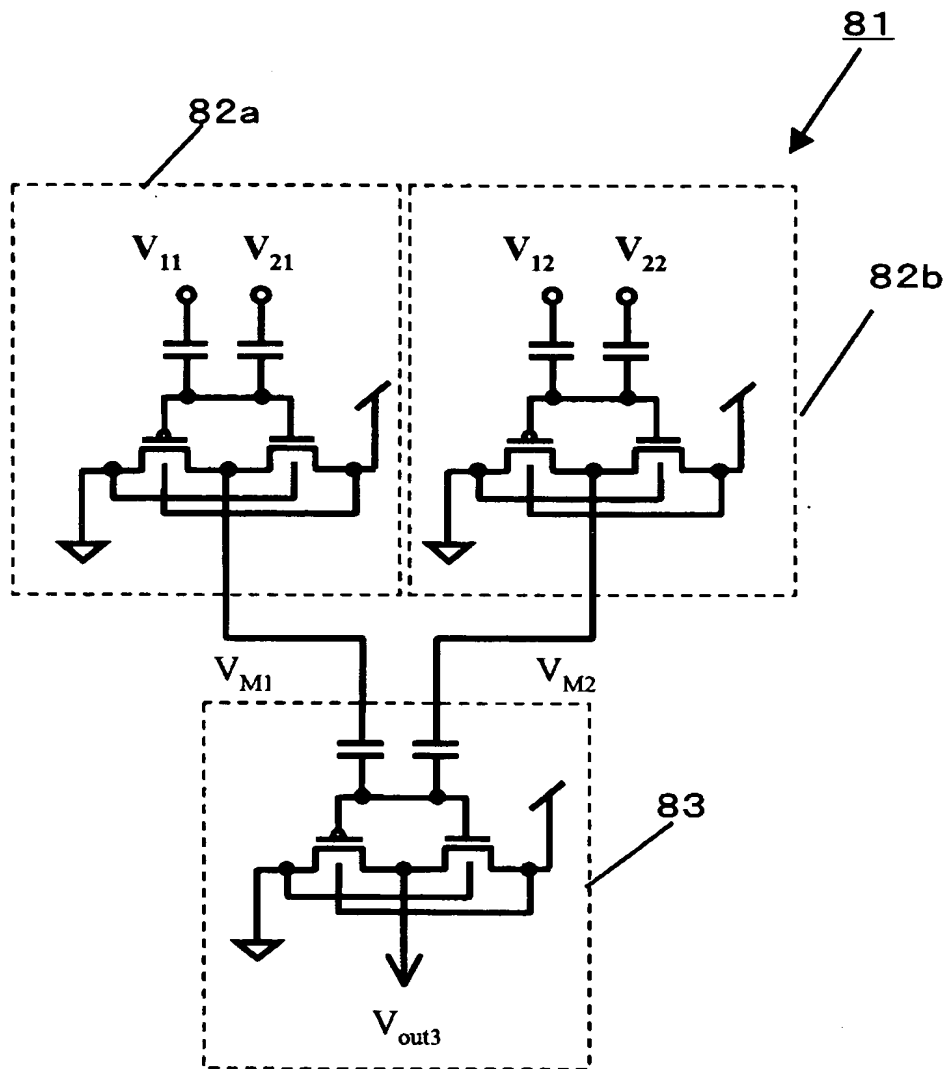
【図 13】



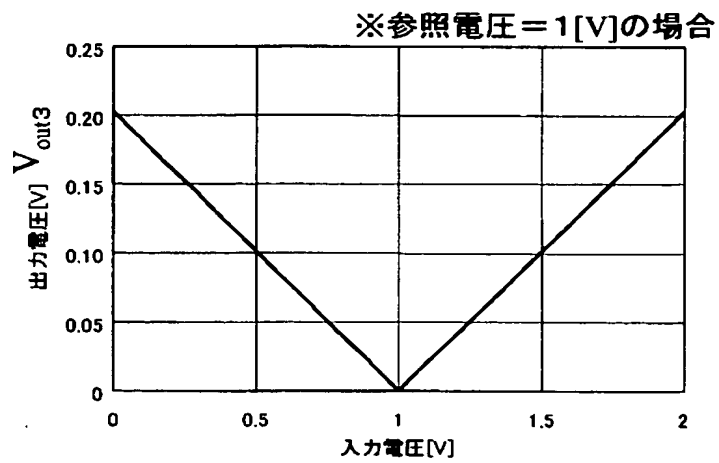
【図 14】



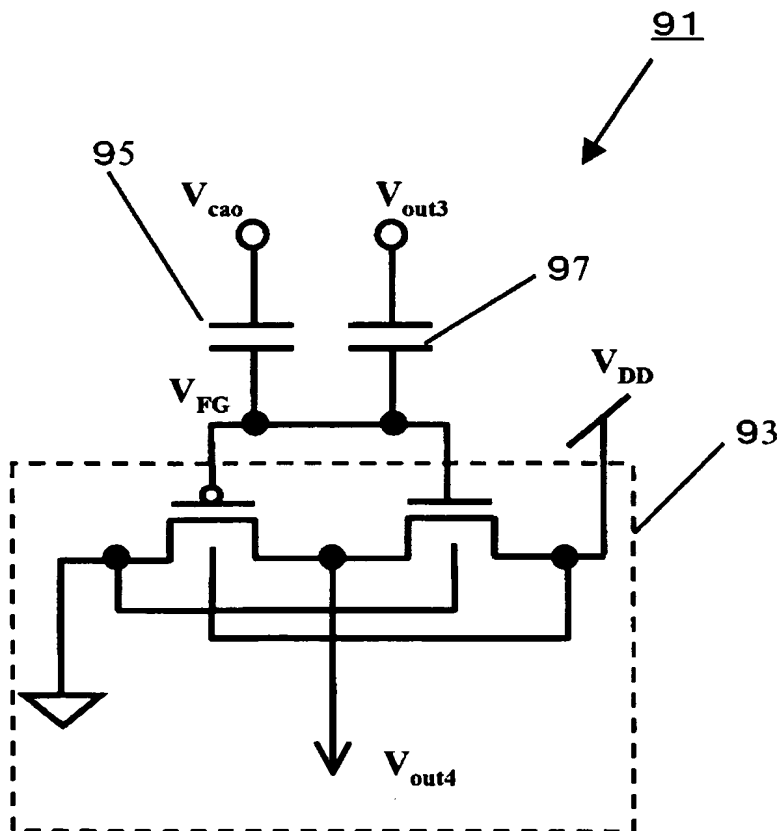
【図 15】



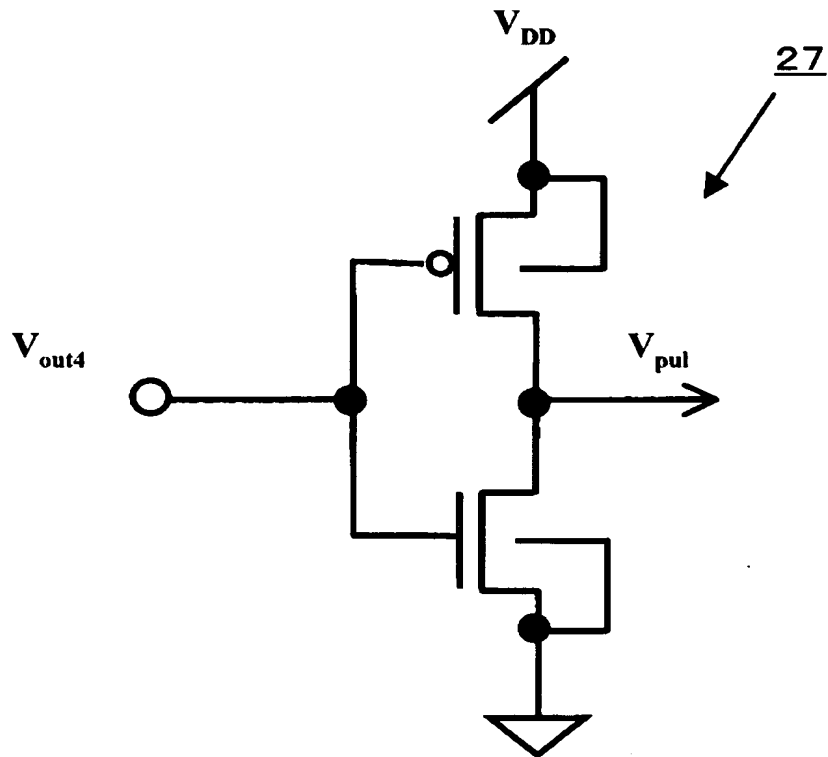
【図 16】



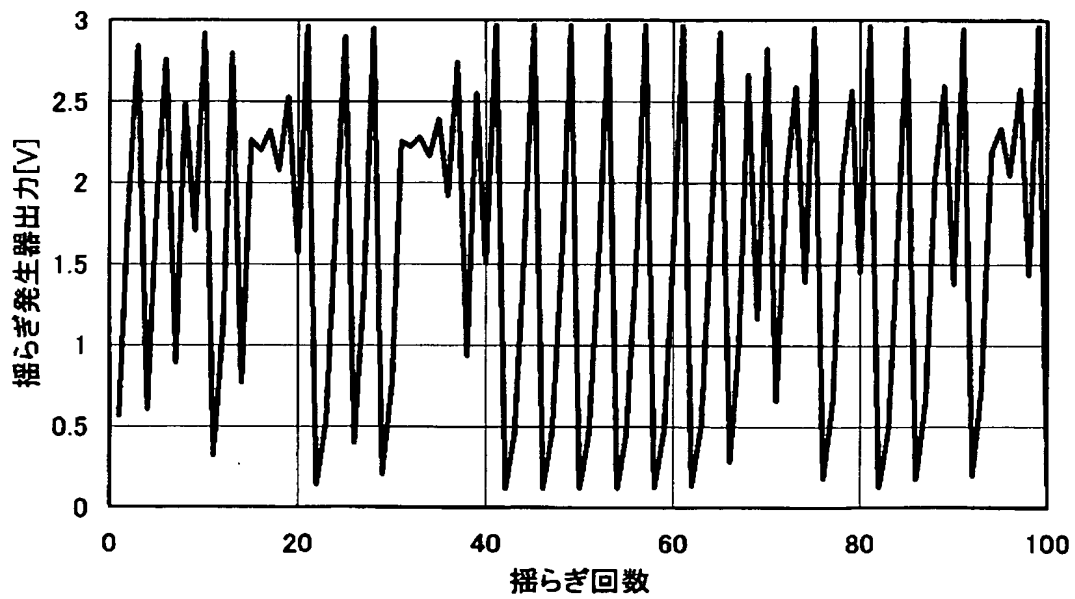
【図 17】



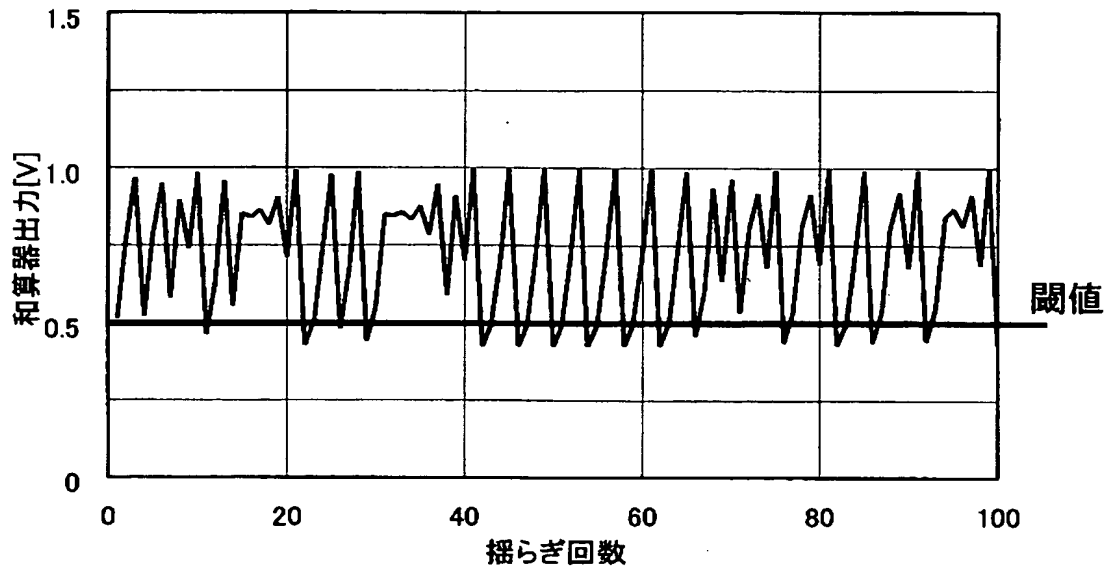
【図 18】



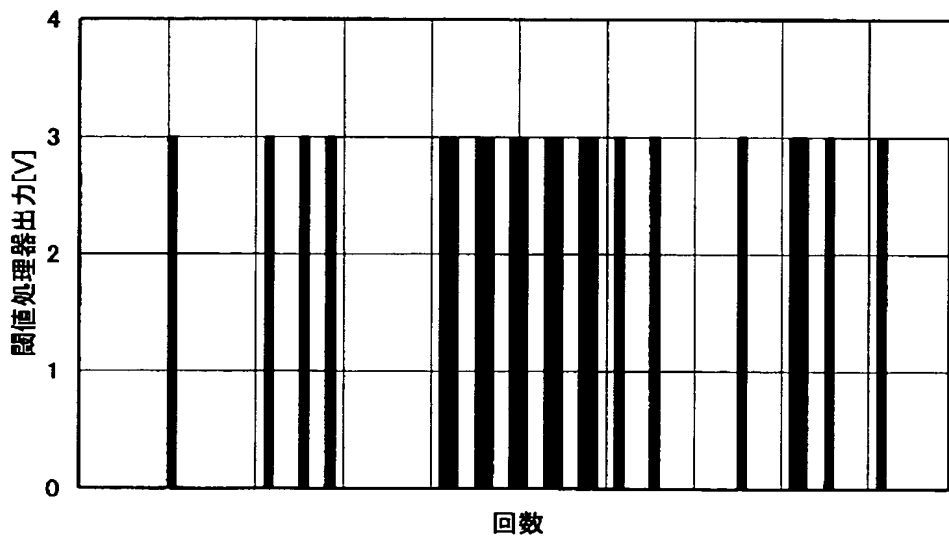
【図 19】



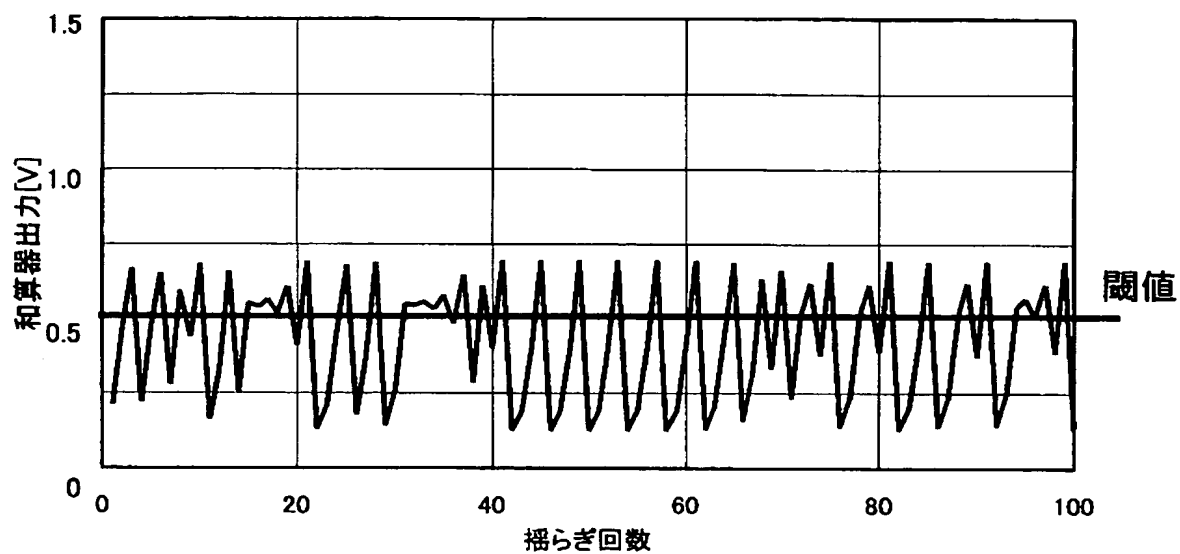
【図 20】



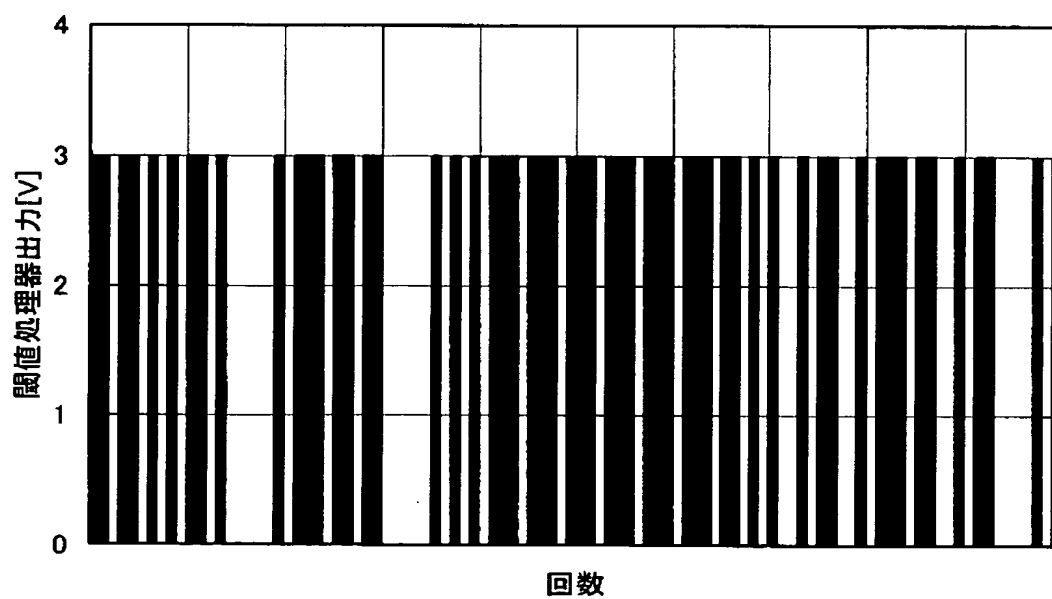
【図 21】



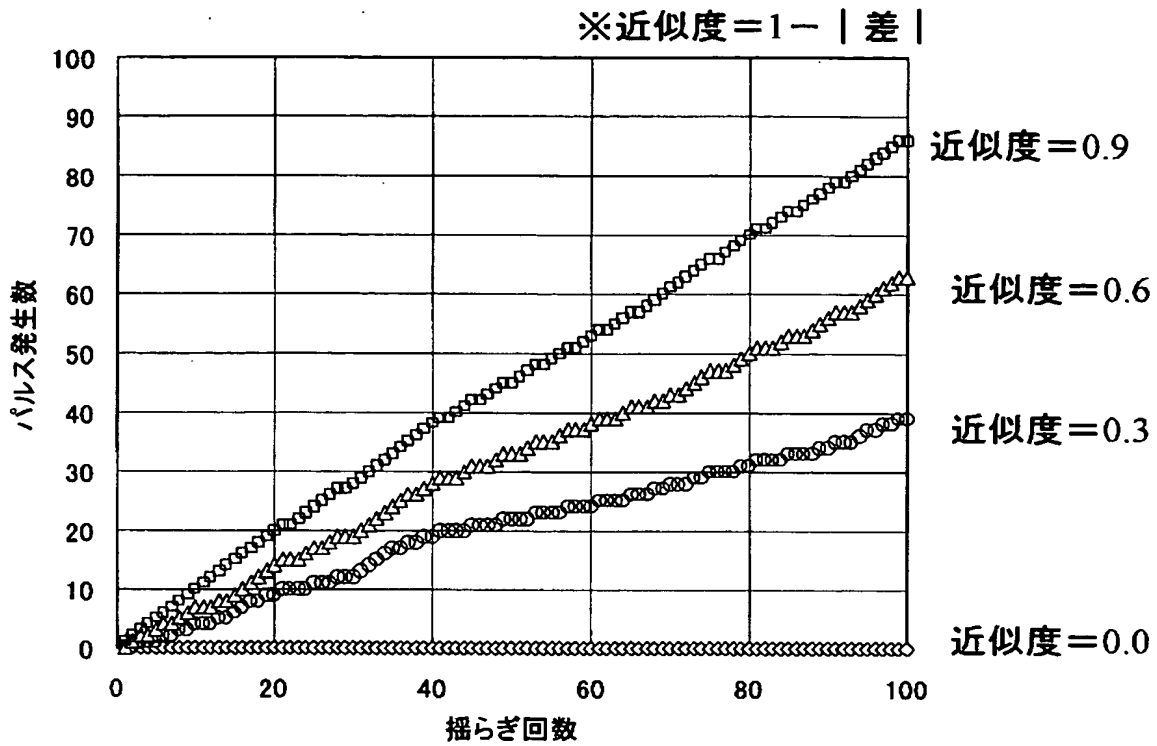
【図 2 2】



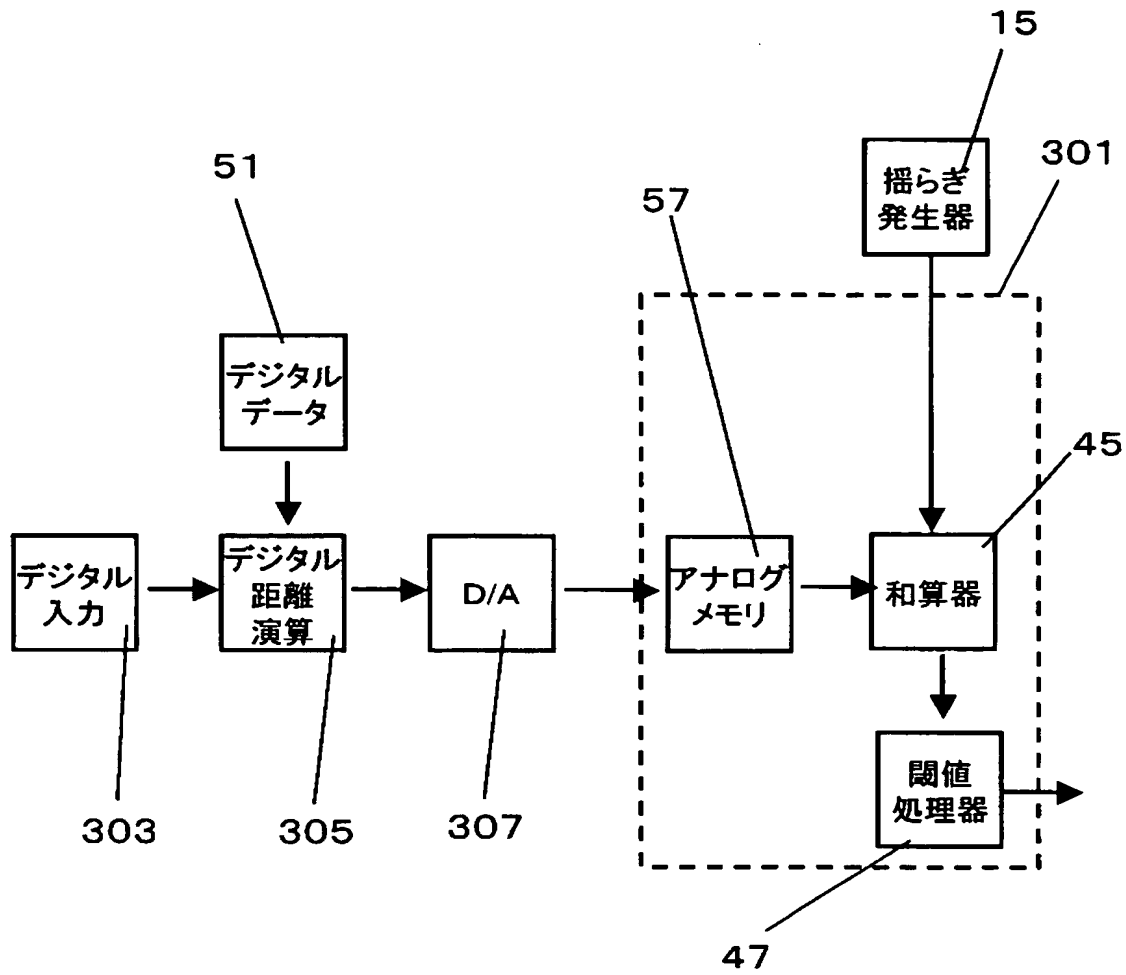
【図 2 3】



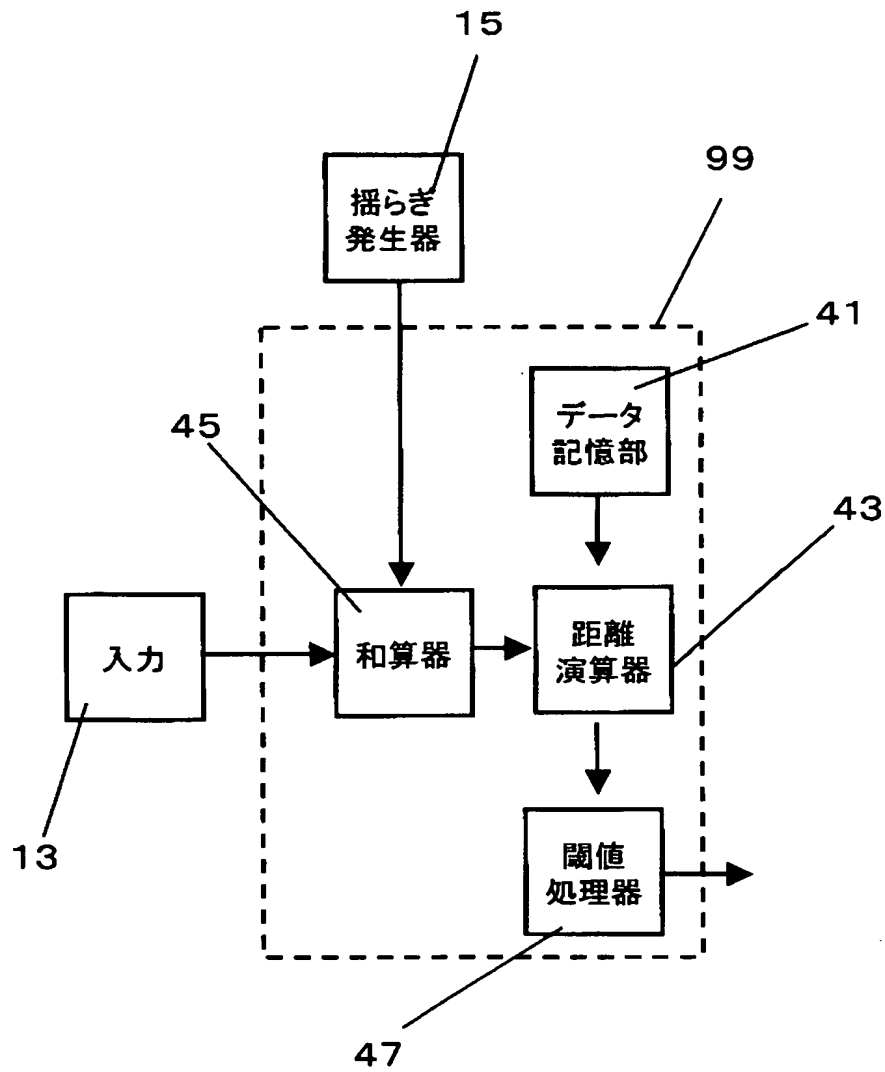
【図 24】



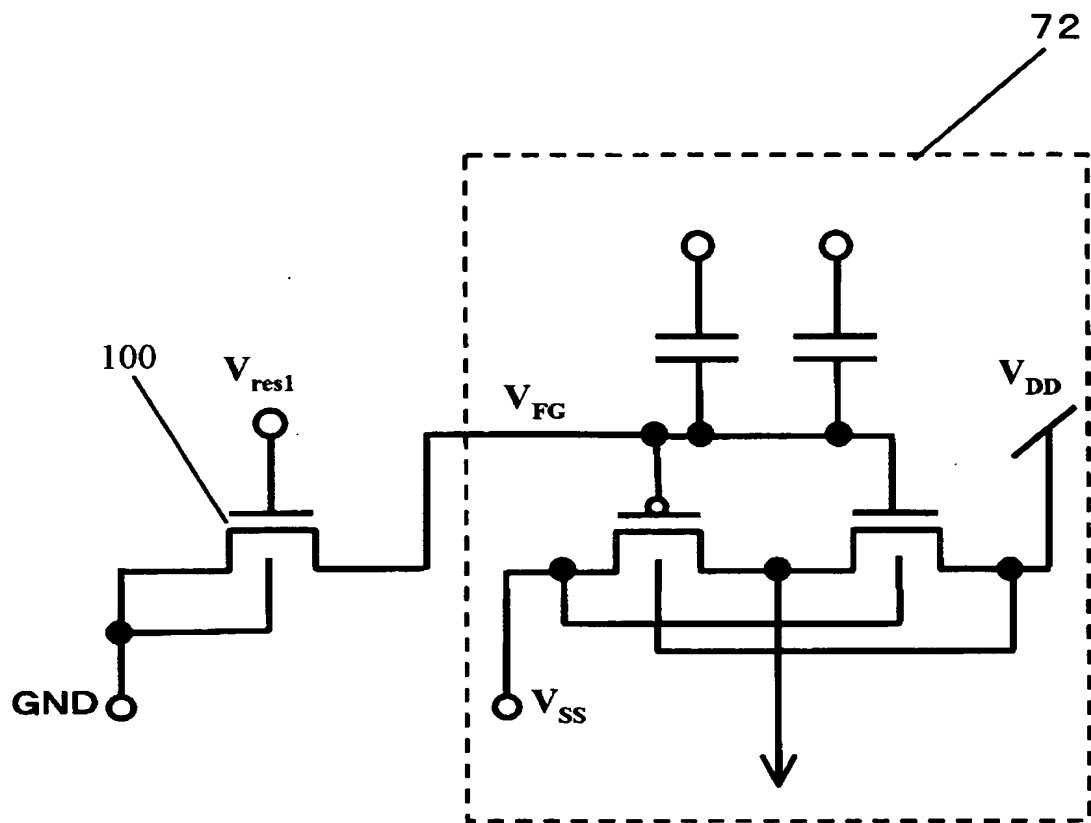
【図 25】



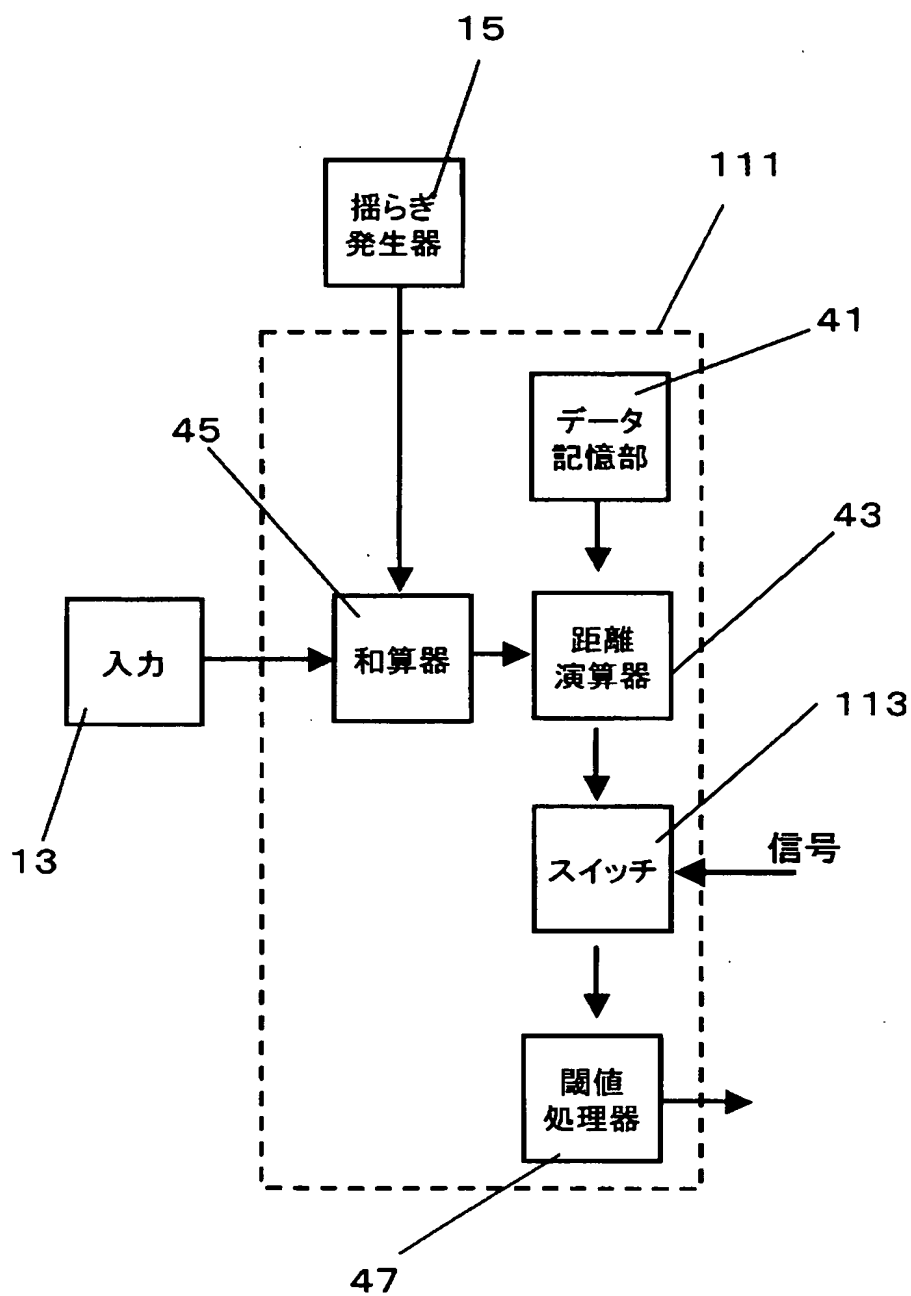
【図 26】



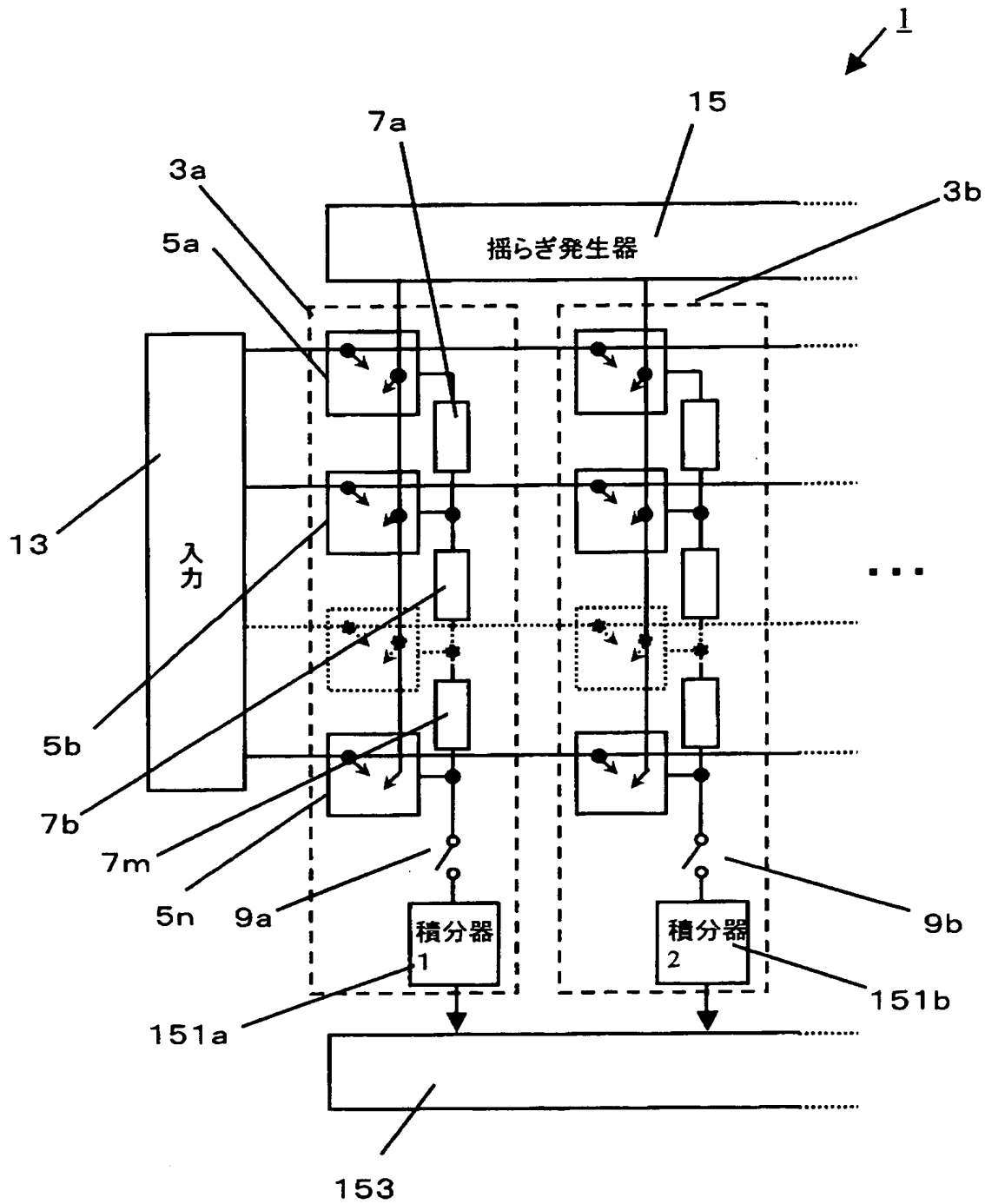
【図 27】



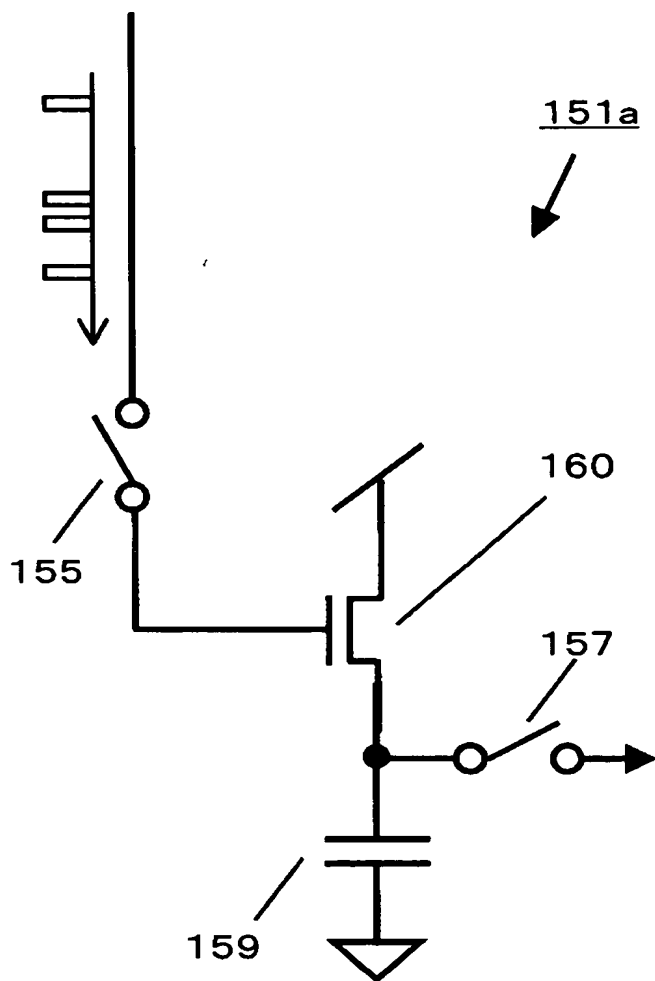
【図 28】



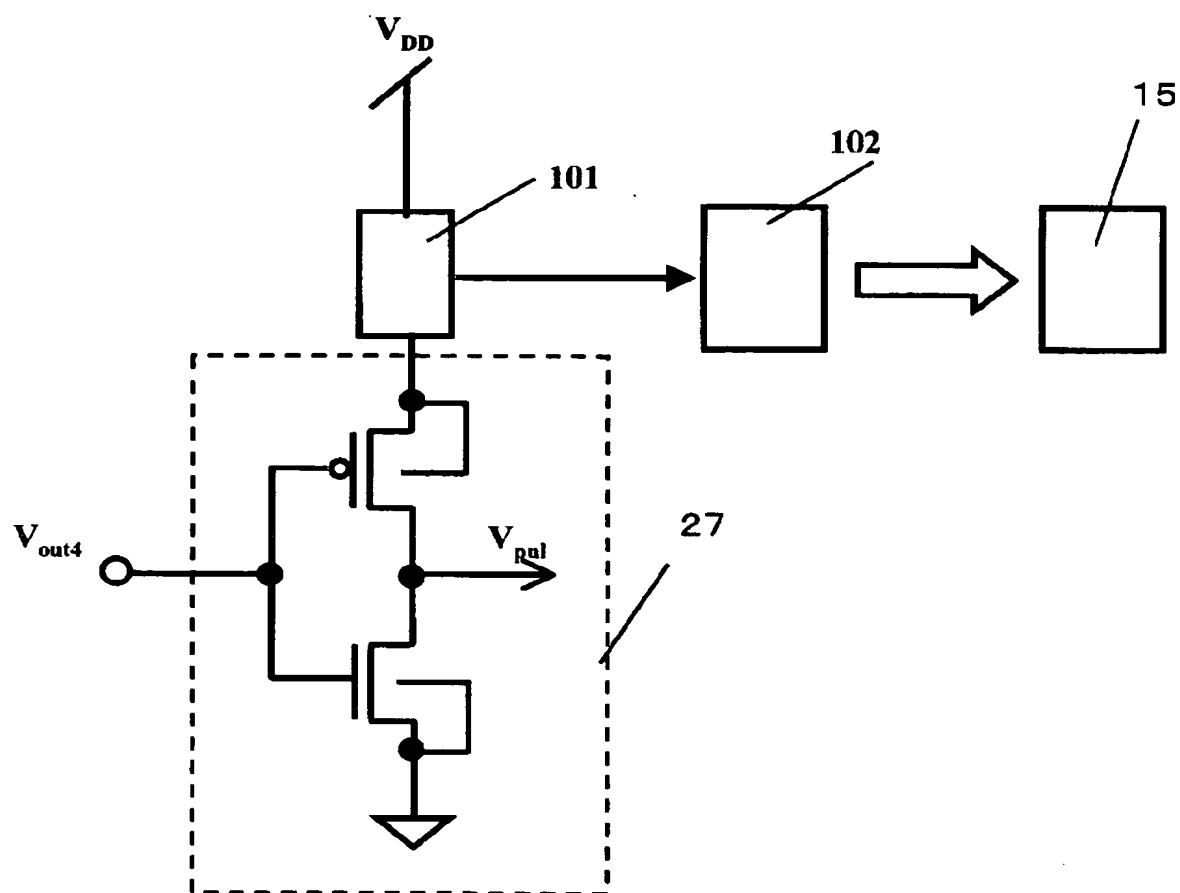
【図 29】



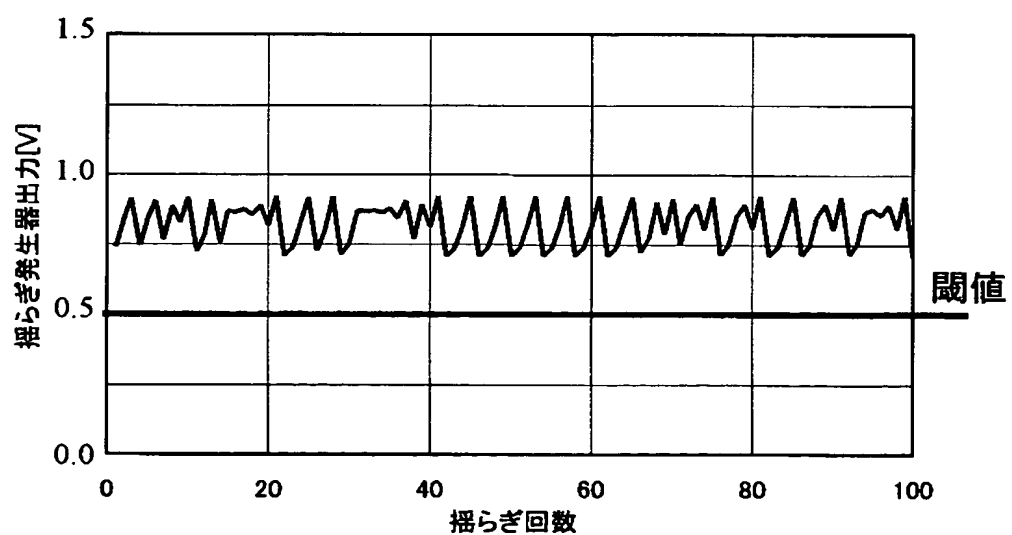
【図 30】



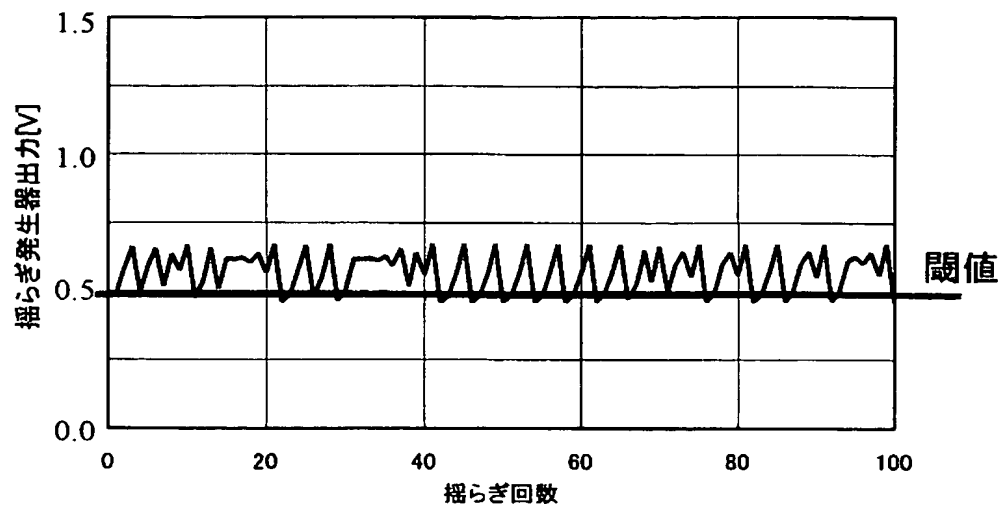
【図 3 1】



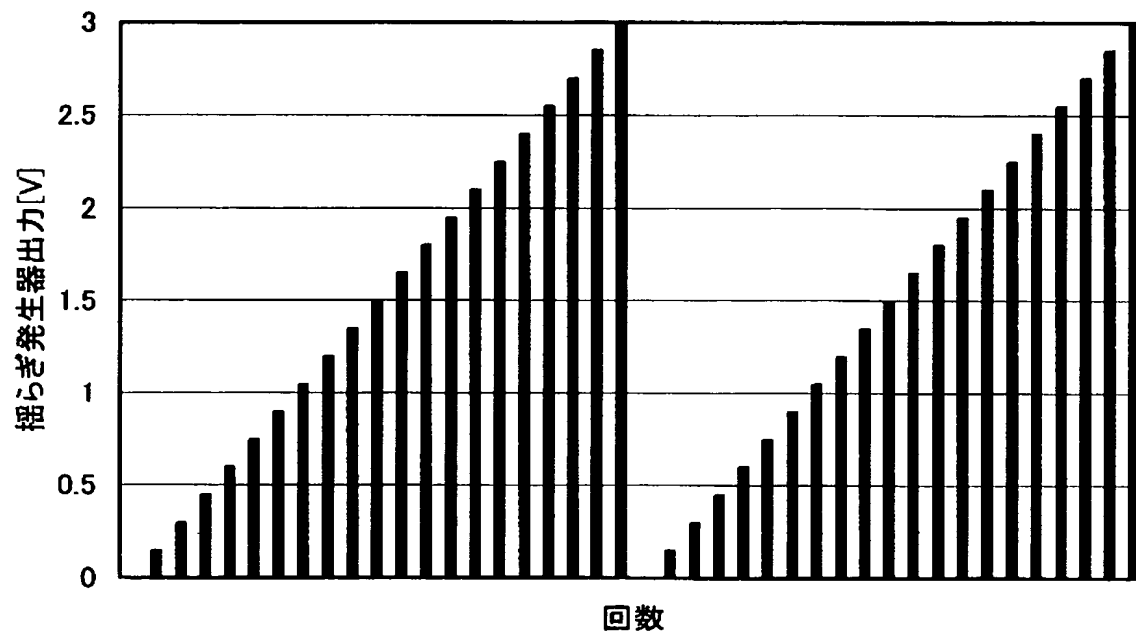
【図 3 2】



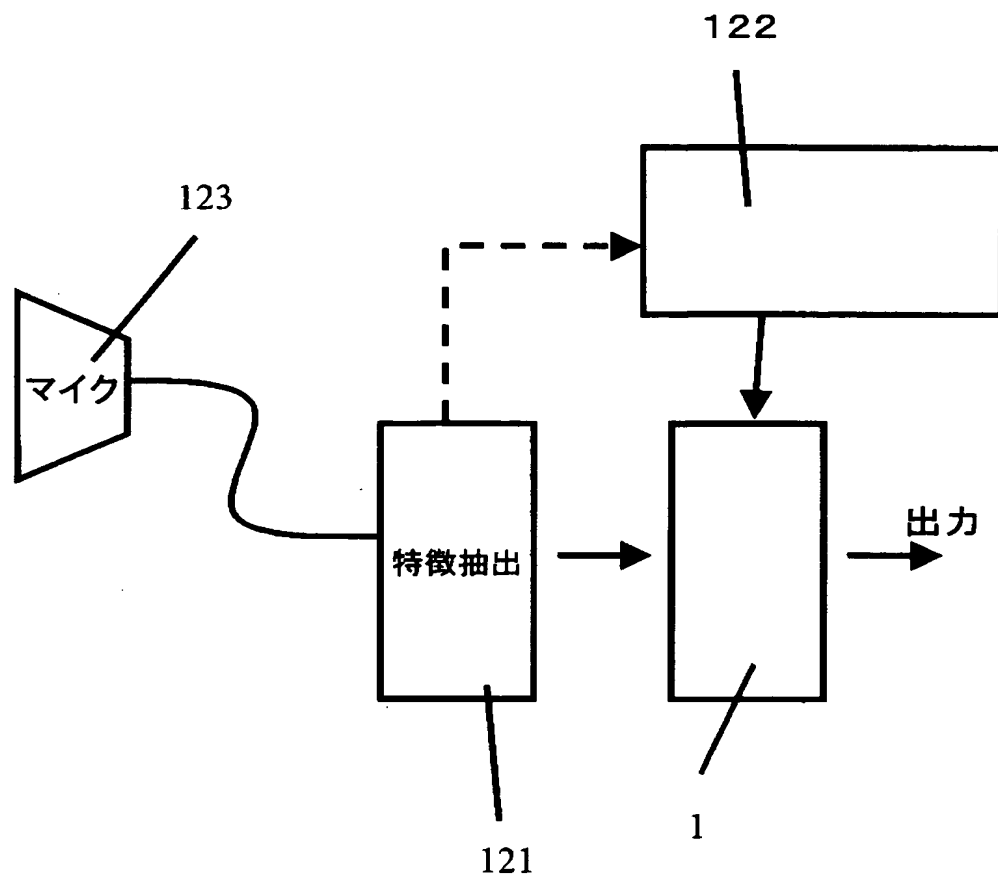
【図 3 3】



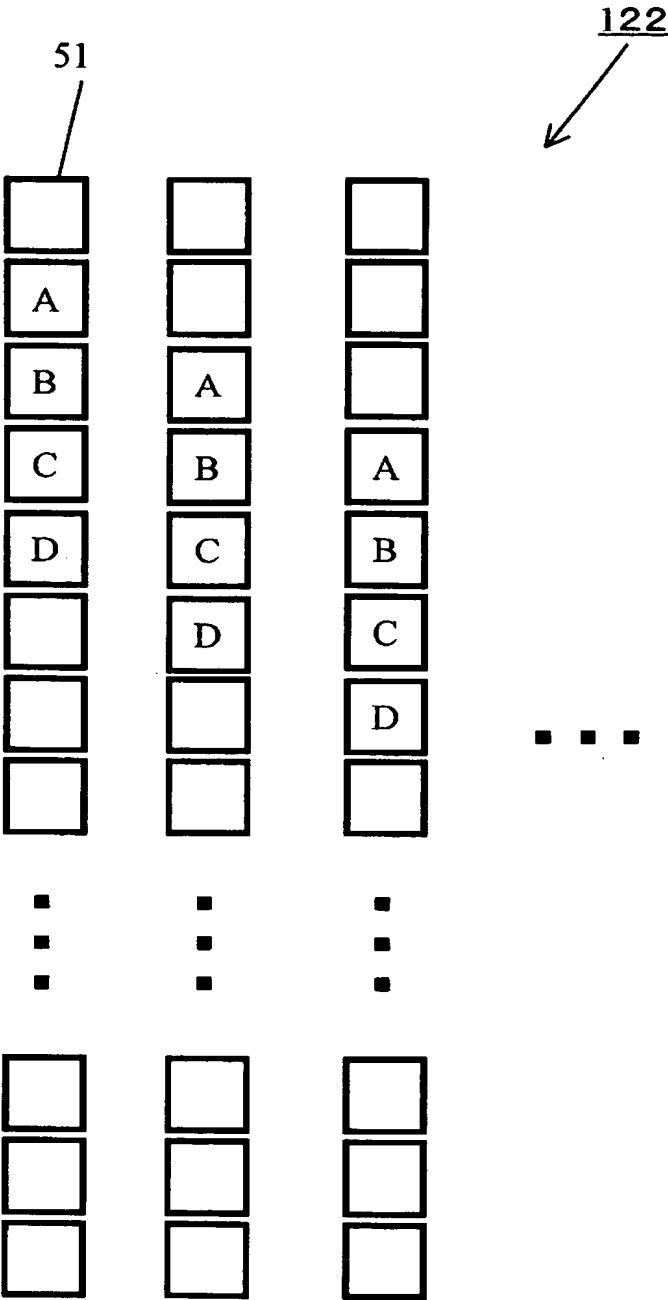
【図 3 4】



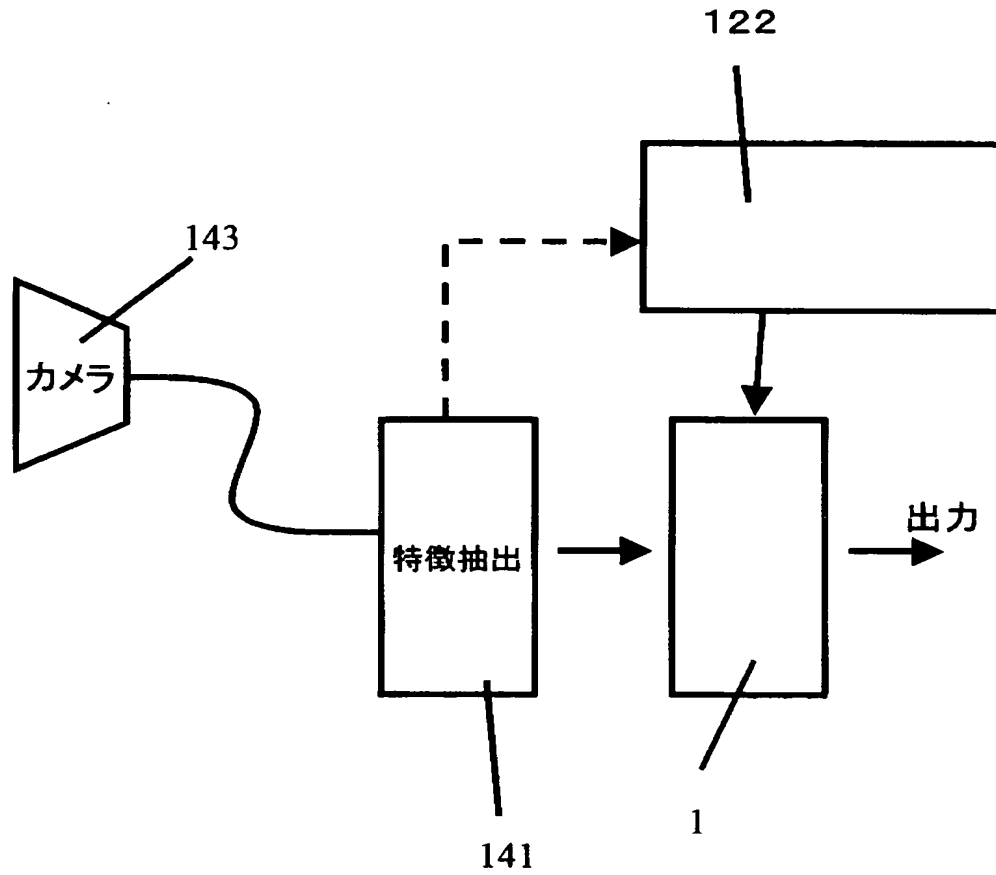
【図 35】



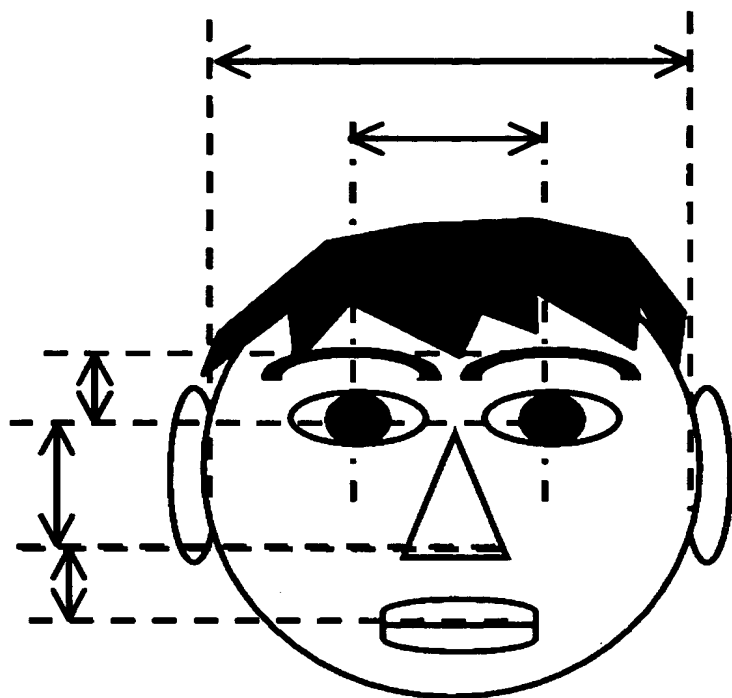
【図 36】



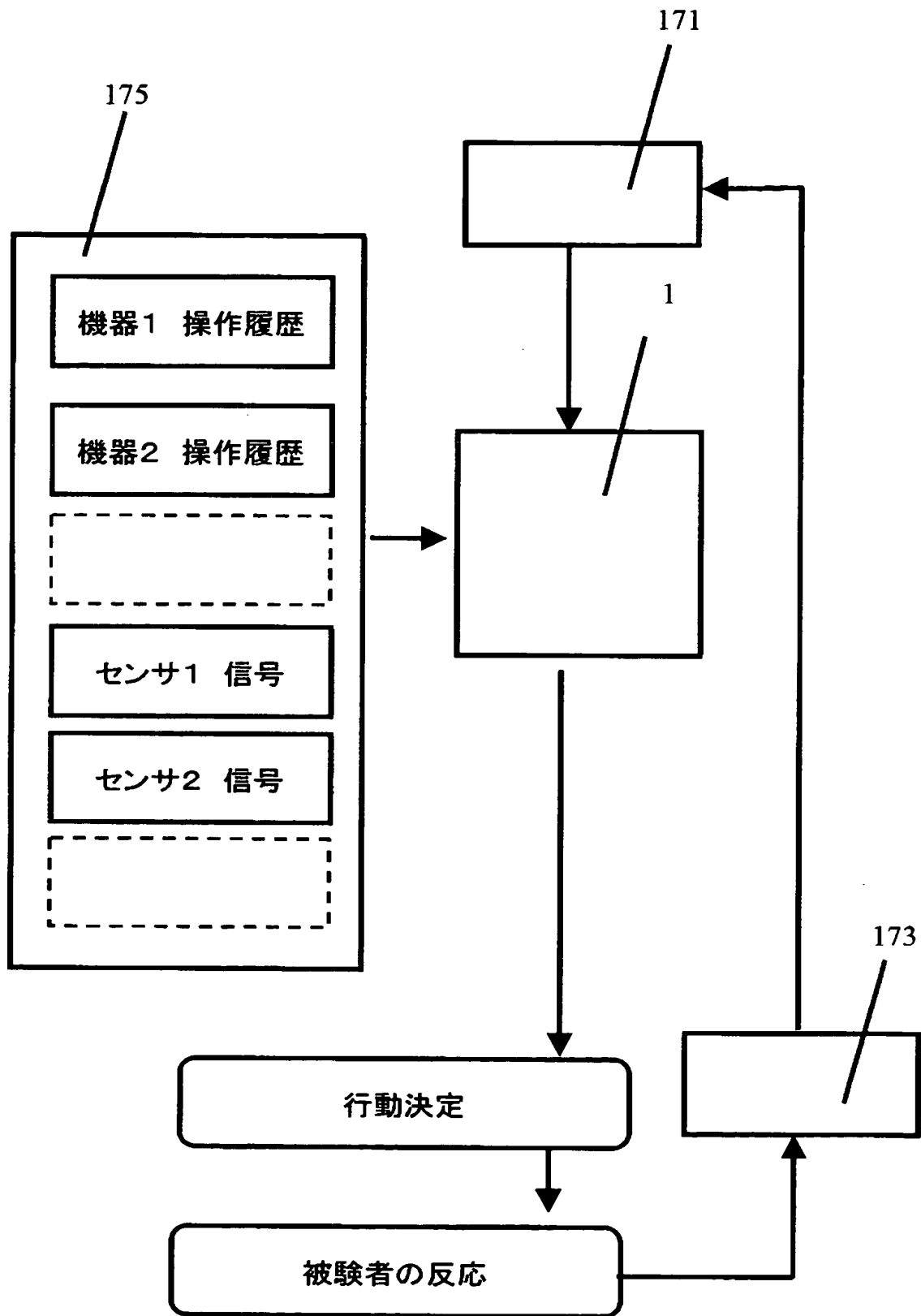
【図 37】



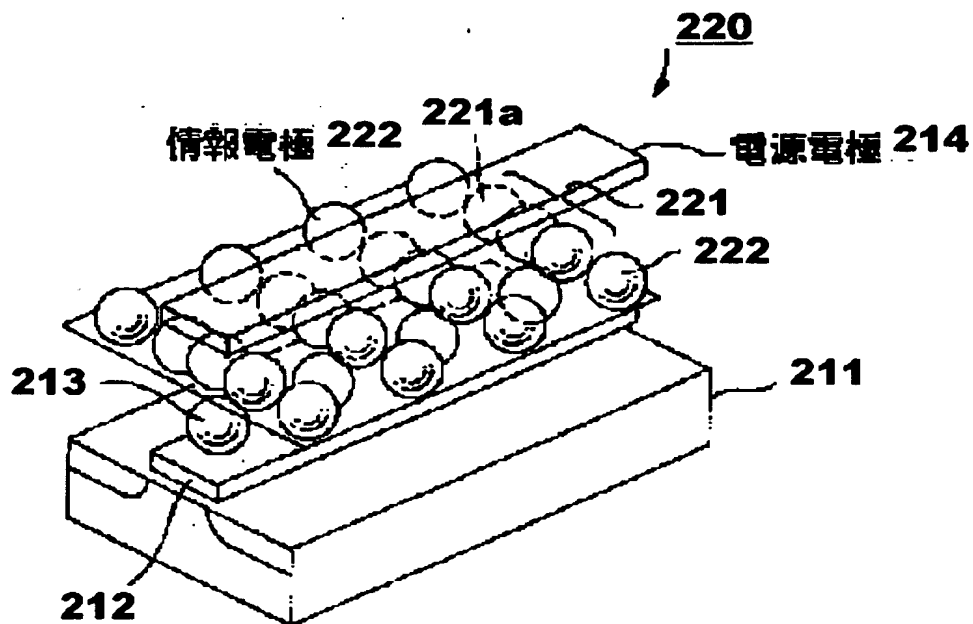
【図 38】



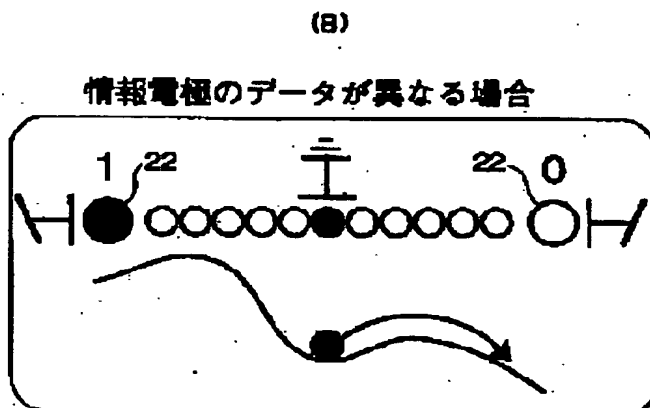
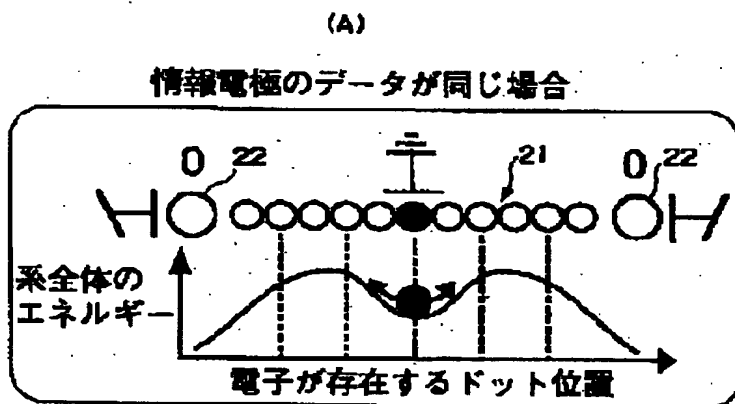
【図 39】



【図 40】



【図 41】



【書類名】 要約書

【要約】

【課題】 要素数の多いベクトル間の距離を高速に演算する素子を提供する。

【解決手段】 入力信号と参照信号の差に揺らぎを重畳させ且つ閾値処理し、これにより発生されたパルス数をカウントすることにより、超並列的に最も入力信号ベクトルに近い参照信号ベクトルを取得する。

【選択図】 図 1

特願 2 0 0 2 - 2 1 2 0 2 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社